

日本国特許庁

JAPAN PATENT OFFICE

0/500427
PCT/JP03/00120

REC'D 07 MAR 2003

WIPO 09.01.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

28 JUN 2004

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 1月10日

出願番号

Application Number:

特願2002-003866

[ST.10/C]:

[JP2002-003866]

出願人

Applicant(s):

株式会社アドバンテスト

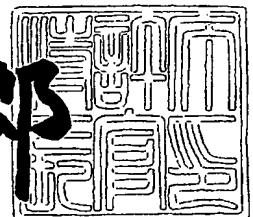
**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1 (a) OR (b)

2003年 2月18日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



BEST AVAILABLE COPY

出証番号 出証特2003-3008077

【書類名】 特許願

【整理番号】 10570

【提出日】 平成14年 1月10日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G01R 31/26

【発明者】

【住所又は居所】 東京都練馬区旭町1丁目32番1号 株式会社アドバン
テスト内

【氏名】 寒竹 秀介

【特許出願人】

【識別番号】 390005175

【氏名又は名称】 株式会社アドバンテスト

【代理人】

【識別番号】 100086759

【弁理士】

【氏名又は名称】 渡辺 喜平

【手数料の表示】

【予納台帳番号】 013619

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 ソースシンクロナス回路を備える被測定 L S I の試験装置、ジッタアナライザ及び位相差検出器

【特許請求の範囲】

【請求項 1】 被測定 L S I から出力される出力データを被測定データとして所定の期待値データと比較し、当該被測定 L S I の良否を判定する試験装置であって、

前記被測定 L S I から出力されるクロックを入力し、このクロックを一定のタイミング間隔を有する複数のストロープによって取得し、時系列のレベルデータとして出力する第一の L S I テスタと、

前記被測定 L S I から出力される出力データを入力し、この出力データを一定のタイミング間隔を有する複数のストロープによって取得し、時系列のレベルデータとして出力する第二の L S I テスタと、

この第一又は第二の L S I テスタの少なくとも一方に備えられ、当該第一及び第二の L S I テスタから出力される時系列のレベルデータを入力することにより、前記第一の L S I テスタに入力されるクロックのエッジタイミングで前記第二の L S I テスタに入力される出力データを選択して、前記被測定 L S I の被測定データとして出力する選択回路と、

を有するソースシンクロナス回路を備えることを特徴とする被測定 L S I の試験装置。

【請求項 2】 前記第一の L S I テスタが、

前記被測定 L S I から出力されるクロックを入力する複数の順序回路と、

一定のタイミング間隔で遅延させたストロープを前記複数の順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、

前記複数の順序回路から出力される時系列のレベルデータを入力し、前記被測定 L S I のクロックのエッジタイミングを示すタイミングデータに符号化して出力するエンコーダと、を有する第一のタイムインターポレータを備え、

前記第二の L S I テスタが、

前記被測定 L S I から出力される出力データを入力する複数の順序回路と、

一定のタイミング間隔で遅延させたストローブを前記複数の順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、を有する第二のタイムインターポレータを備え、

前記選択回路が、

前記第一のタイムインターポレータで符号化された時系列のレベルデータを選択信号として、前記第二のタイムインターポレータから入力される時系列のレベルデータのうち、一のデータを選択し、前記被測定 L S I の被測定データとして出力するセレクタを備える請求項 1 記載の被測定 L S I の試験装置。

【請求項 3】 前記第二のタイムインターポレータが、

前記複数の順序回路から出力される時系列のレベルデータを入力し、前記被測定 L S I の出力データのエッジタイミングを示すタイミングデータに符号化して出力するエンコーダを有する請求項 2 記載の被測定 L S I の試験装置。

【請求項 4】 前記第一及び／又は第二のタイムインターポレータの順序回路がフリップ・フロップからなる請求項 2 又は 3 記載の被測定 L S I の試験装置。

【請求項 5】 前記第一及び／又は第二のタイムインターポレータの順序回路がラッチからなる請求項 2 又は 3 記載の被測定 L S I の試験装置。

【請求項 6】 前記第一及び第二の L S I テスタをそれぞれ接続し、当該第一及び第二の L S I テスタから出力されるデータを所定の前記選択回路に分配するバスを備える請求項 1, 2, 3, 4 又は 5 記載の被測定 L S I の試験装置。

【請求項 7】 被測定 L S I から出力されるクロック又は出力データのジッタの分布を取得、解析するジッタアナライザであって、

前記被測定 L S I から出力されるクロック又は出力データを入力し、このクロック又は出力データを一定のタイミング間隔を有する複数のストローブによって取得し、時系列のレベルデータとして出力する第一の L S I テスタと、

この第一の L S I テスタから出力される時系列のレベルデータを入力することにより、前記第一の L S I テスタに入力されるクロック又は出力データのエッジタイミングを取得し、当該クロック又は出力データのジッタの分布として出力するジッタ分布解析手段と、

を有するソースシンクロナス回路を備えることを特徴とする被測定 L S I のジッタアナライザ。

【請求項 8】 前記第一の L S I テスタが、

前記被測定 L S I から出力されるクロック又は出力データを入力する複数の順序回路と、

一定のタイミング間隔で遅延させたストローブを前記複数の順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、

前記複数の順序回路から出力される時系列のレベルデータを入力し、前記被測定 L S I のクロック又は出力データのエッジタイミングを示すタイミングデータに符号化して出力するエンコーダと、を有するタイムインターポレータを備える請求項 7 記載の被測定 L S I のジッタアナライザ。

【請求項 9】 前記ジッタ分布解析手段が、

前記エンコーダから出力されるタイミングデータを記憶する記憶回路を備え、

この記憶回路に記憶される複数のデータから、前記第一の L S I テスタに入力されるクロック又は出力データのエッジタイミングの分布を取得する請求項 8 記載の被測定 L S I のジッタアナライザ。

【請求項 10】 前記ジッタ分布解析手段が、

前記エンコーダから出力されるタイミングデータを入力し、時系列のレベルデータに復号化して出力するデコーダと、

このデコーダの出力信号を出力端子ごとにカウントする複数のカウンタと、を備え、

このカウンタから出力される複数のデータから、前記第一の L S I テスタに入力されるクロック又は出力データのエッジタイミングの分布を取得する請求項 8 記載の被測定 L S I のジッタアナライザ。

【請求項 11】 前記タイムインターポレータの順序回路がフリップ・フロップからなる請求項 8、9 又は 10 記載の被測定 L S I のジッタアナライザ。

【請求項 12】 前記タイムインターポレータの順序回路がラッチからなる請求項 8、9 又は 10 記載の被測定 L S I のジッタアナライザ。

【請求項 13】 被測定 L S I から出力されるクロックと出力データの位相

差を検出する位相差検出器であって、

前記被測定 L S I から出力されるクロックを入力し、このクロックを一定のタイミング間隔を有する複数のストローブによって取得し、時系列のレベルデータとして出力する第一の L S I テスタと、

前記被測定 L S I から出力される出力データを入力し、この出力データを一定のタイミング間隔を有する複数のストローブによって取得し、時系列のレベルデータとして出力する第二の L S I テスタと、

この第一又は第二の L S I テスタの少なくとも一方に備えられ、当該第一及び第二の L S I テスタから出力される時系列のレベルデータを入力することにより、前記第一の L S I テスタに入力されるクロックのエッジタイミングと前記第二の L S I テスタに入力される出力データのエッジタイミングとの差を算出し、位相差として出力する位相差検出回路と、

を有するソースシンクロナス回路を備えることを特徴とする被測定 L S I の位相差検出器。

【請求項 1 4】 前記第一の L S I テスタが、

前記被測定 L S I から出力されるクロックを入力する複数の順序回路と、

一定のタイミング間隔で遅延させたストローブを前記複数の順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、

前記複数の順序回路から出力される時系列のレベルデータを入力し、前記被測定 L S I のクロックのエッジタイミングを示すタイミングデータに符号化して出力するエンコーダと、を有する第一のタイムインターポレータを備え、

前記第二の L S I テスタが、

前記被測定 L S I から出力される出力データを入力する複数の順序回路と、

一定のタイミング間隔で遅延させたストローブを前記複数の順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、

前記複数の順序回路から出力される時系列のレベルデータを入力し、前記被測定 L S I の出力データのエッジタイミングを示すタイミングデータに符号化して出力するエンコーダと、を有する第二のタイムインターポレータを備え、

前記位相差検出回路が、

前記第一のタイムインターポレータで符号化された時系列のレベルデータと、前記第二のタイムインターポレータで符号化された時系列のレベルデータとを減算する減算回路と、

この減算回路の減算結果を復号化するデコーダと、を備え、

前記デコーダにより復号化されたデータを、前記被測定 L S I のクロックと出力データの位相差として出力する請求項 13 記載の被測定 L S I の位相差検出器

【請求項 15】 前記位相差検出回路が、

前記デコーダの出力信号を出力端子ごとにカウントする複数のカウンタを備え

このカウンタから出力される複数のデータから、前記第一の L S I テスタに入力されるクロックと前記第二の L S I テスタに入力される出力データの位相差の分布を取得する請求項 14 記載の被測定 L S I の位相差検出器。

【請求項 16】 前記第一及び／又は第二のタイムインターポレータの順序回路がフリップ・フロップからなる請求項 14 又は 15 記載の被測定 L S I の位相差検出器。

【請求項 17】 前記第一及び／又は第二のタイムインターポレータの順序回路がラッチからなる請求項 14 又は 15 記載の被測定 L S I の位相差検出器。

【請求項 18】 前記第一及び第二の L S I テスタをそれぞれ接続し、当該第一及び第二の L S I テスタから出力されるデータを所定の前記位相差検出回路に分配するバスを備える請求項 13, 14, 15, 16 又は 17 記載の被測定 L S I の位相差検出器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、被測定 L S I から出力される出力データを所定の期待値データと比較して、当該被測定 L S I の良否を判定する機能試験用の試験装置と、機能試験対象となる被測定 L S I のクロック又は出力データのジッタを解析するジッタアナライザ及び被測定 L S I のクロックと出力データの位相差を検出する位相差検

出器に関する。

【0002】

特に、被測定LSIから出力されるクロック及び出力データを時系列のレベルデータとして取得できるソースシンクロナス回路を備えることにより、被測定LSIの出力データを取り込むタイミング信号として、当該被測定LSIから出力されるクロック信号を用いることができ、出力データをジッタに同調した信号変化点で取り込むことができ、ジッタに左右されることなく正確な試験結果を得られる、例えばデータレートが1GHzを超える高速LSIの機能試験に好適な試験装置に関する。

また、本発明は、ソースシンクロナス回路により被測定LSIのクロック及び出力データを示す時系列のレベルデータを取得することによって、被測定LSIのジッタ解析及びジッタによるクロックと出力データの位相差の検出を、容易かつ確実に行えるようにした被測定LSIのジッタアナライザ及び位相差検出器に関する。

【0003】

【従来の技術】

一般に、LSIの機能試験を行う試験装置（以下「LSIテスタ」と言う）は、被試験対象（DUT: Device Under Test）となる被測定LSIに所定の試験パターン信号を入力し、当該被測定LSIから出力される出力データを所定の期待値パターン信号と比較して、その一致、不一致を判定することにより、当該被測定LSIの良否を検出、判定するようになっている。

【0004】

以下、図10を参照して従来の被測定LSIの試験装置について説明する。

図10は、従来の被測定LSIの試験装置の構成を示すブロック図である。

同図に示すように、従来のLSIテスタ110は、被測定LSI101の出力データを比較電圧とレベル比較するレベルコンパレータ111と、被測定LSI101の出力データを所定の期待値と比較するパターン比較器112、及び被測定LSI101の出力データを所定のタイミングでパターン比較器112に入力するためのフリップ・フロップ121を有するLSIテスタ110を備えている。

【0005】

このような構成からなる従来の被測定LSIの試験装置では、まず、図示しないパターン発生器から被測定LSI101に所定の試験パターン信号が入力され、被測定LSI101から所定の信号が出力データとして出力される。

被測定LSI101から出力された出力データは、LSIテスト110のレベルコンパレータ111に入力される。

レベルコンパレータ111に入力された出力データは、比較電圧とレベル比較され、フリップ・フロップ121に出力される。

【0006】

フリップ・フロップ121では、レベルコンパレータ111からの信号が入力データとして保持され、図示しないタイミング発生器からのストローブをクロック信号として、所定のタイミングで出力データが出力される。

フリップ・フロップ121から出力された出力データは、パターン比較器112に入力され、テスト内のパターン発生器から出力される所定の期待値データと比較され、比較結果が出力される。

そして、この比較結果により、出力データと期待値との一致、不一致が検出され、被測定LSI101の良否(Pass/Fail)の判定が行われるようになっている。

【0007】

【発明が解決しようとする課題】

このように、従来のLSIテストでは、被測定LSIから出力される出力データは、テスト内部で予め定められたタイミングで出力されるストローブのタイミングで取得されるようになっており、このストローブの出力タイミングは固定されていた。

ところが、被測定LSIの出力データはジッタ（タイミングの不規則な揺らぎ）を有しているため、固定されたストローブのタイミングで取得される出力データは、同一データであってもその値が一定せず、正確な試験結果が得られないという問題が生じた。

【0008】

図11を参照して、このようなジッタによる取得データの変動を説明する。

同図(a)に示すように、被測定LSIの出力データはある範囲の幅でジッタを有しており、このジッタ幅の分だけ出力データは変化点(立上がりエッジ又は立下がりエッジ)がずれることになる。

従って、このようなジッタを有する出力データを固定ストロブで取り込むと、同図(b)に示すように、例えば、「出力データ1」(図11(a))の場合には取得データは“H”となるが、「出力データ2」(図11(b))の場合には“L”となってしまう。

このため、固定ストロブによって出力データを取得する従来の試験装置では、本来同一であるデータがジッタの影響によって変動してしまい、正確な試験、判定が困難となるという問題が発生した。

特に、高速化されたLSIの場合、このようなジッタの影響が顕著であった。

【0009】

なお、従来から、このような被測定LSIのジッタを計測、解析するため、被測定LSIの出力データをオシロスコープ等のジッタ測定器によって複数回計測し、その計測結果に基づいてジッタ量やジッタの分布等の解析が行われている。

しかしながら、従来のジッタ測定器を用いたジッタ解析では、オシロスコープ等の操作に誤差が生じるおそれがあり、精度の高いジッタ解析が困難となる上、多数のデータを取得、測定する作業が煩雑で、ジッタ解析に時間と労力がかかるという問題が指摘されていた。

特に、高速化されたLSIの場合、このようなジッタ解析の困難性が顕著であった。

【0010】

ところで、近年はLSIの高速化の進展が著しく、データ転送の高速化を図る次世代入出力インターフェースとして注目される「RapidIO」(登録商標)や「HyperTransport」(登録商標)等を使用した、より高速処理が可能なLSIが開発されている(例えばIBM社製の次期「PowerPC」(登録商標)向けCPU等)。

そして、この種のLSIでは、LSI自体がクロック信号を出力する構成が採られている。

その他、伝送線路となるバス・システムを従来のPCIバスから上述の「RapidIO」に変換するためのブリッジLSI等においても、LSI自体がクロック信号を出力する構成となっている。

【0011】

本願発明者は、鋭意研究の末、このようにLSI自体からクロック信号が出力されるLSIの機能試験を行う場合に、LSIから出力されるクロックのタイミングで出力データを取得することができれば、図11に示したようなジッタの影響による取得データの変動を解消し得ることに想到した。

さらに、本願発明者は、LSIから出力されるクロックのタイミングで出力データを取得できる回路を用いることにより、当該LSIのジッタ解析を行うことも可能となり、しかも、LSIから出力されるクロックと出力データのジッタによる位相差も検出し得ることに想到した。

【0012】

本発明は、以上のような従来の技術が有する問題を解決するために提案されたものであり、被測定LSIから出力されるクロック及び出力データを時系列のレベルデータとして出力するソースシンクロナス回路を備えることにより、被測定LSIの出力データを取得するタイミング信号として、当該被測定LSIから出力されるクロック信号を用いることができ、出力データをジッタに同調した信号変化点で取り込むことが可能となり、ジッタに左右されることなく正確な試験結果が得られる、特に、例えばデータレートが1GHzを超える高速LSIの機能試験に好適な被測定LSIの試験装置の提供を目的とする。

【0013】

また、本発明は、被測定LSIのクロック及び出力データを示す時系列のレベルデータを出力するソースシンクロナス回路を用いることによって、被測定LSIのジッタ解析及びジッタによるクロックと出力データの位相差の検出を、煩雑な操作や誤差等が生じることなく、容易かつ確実にできる被測定LSIのジッタアナライザ及び位相差検出器の提供を目的とする。

【0014】

【課題を解決するための手段】

〔被測定LSIの試験装置〕

上記目的を達成するため、まず、本発明の被測定LSIの試験装置は、請求項1に記載するように、被測定LSIから出力される出力データを被測定データとして所定の期待値データと比較し、当該被測定LSIの良否を判定する試験装置であって、前記被測定LSIから出力されるクロックを入力し、このクロックを一定のタイミング間隔を有する複数のストロブによって取得し、時系列のレベルデータとして出力する第一のLSIテストと、前記被測定LSIから出力される出力データを入力し、この出力データを一定のタイミング間隔を有する複数のストロブによって取得し、時系列のレベルデータとして出力する第二のLSIテストと、この第一又は第二のLSIテストの少なくとも一方に備えられ、当該第一及び第二のLSIテストから出力される時系列のレベルデータを入力することにより、前記第一のLSIテストに入力されるクロックのエッジタイミングで前記第二のLSIテストに入力される出力データを選択して、前記被測定LSIの被測定データとして出力する選択回路と、を有するソースシンクロナス回路を備える構成としてある。

【0015】

このような構成からなる本発明の被測定LSIの試験装置によれば、本発明に係るソースシンクロナス回路を備えることにより、被測定LSIから出力されるクロック及び出力データを、時系列のレベルデータとして取得することができる。

時系列のレベルデータは、被測定LSIのクロック（又は出力データ）の信号変化点であるエッジタイミングを示すものである。従って、このクロックのエッジタイミングを示すレベルデータを取得できることにより、当該レベルデータを被測定LSIの出力データを取得するタイミング信号として用いることができる。

これにより、被測定LSIのクロック及び出力データの信号変化点（立上がりエッジ又は立下がりエッジ）がジッタにより変動した場合にも、変動したクロッ

クのエッジタイミングで出力データを取り込むことが可能となる。

従って、本発明に係る試験装置では、被測定 L S I の出力データを、ジッタに応じて変動するタイミングで取得することができ、ジッタの影響に左右されることなく、常に正確な試験結果を得ることができる。

【 0 0 1 6 】

なお、ソースシンクロナス回路に入力するストローブは、クロック側と出力データ側とで入力のタイミングを異ならせることができる。

これにより、被測定 L S I から出力されるクロックと出力データの位相差に応じて適切なタイミングに調節することができる。

被測定 L S I から出力されるクロックと出力データは、位相が常に一致しているとは限らず、例えば、セットアップ・タイムがマイナスとなることも、プラスとなることもある。

従って、このような場合には、ソースシンクロナス回路に入力するストローブのタイミングを、クロック側と出力データ側とでそれぞれ異ならせることにより、位相差のあるクロックと出力データに適切なタイミングでストローブが出力されるように調節することができる。

【 0 0 1 7 】

そして、具体的には、請求項 2 では、前記第一の L S I テスタが、前記被測定 L S I から出力されるクロックを入力する複数の順序回路と、一定のタイミング間隔で遅延させたストローブを前記複数の順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、前記複数の順序回路から出力される時系列のレベルデータを入力し、前記被測定 L S I のクロックのエッジタイミングを示すタイミングデータに符号化して出力するエンコーダと、を有する第一のタイムインターポレータを備え、前記第二の L S I テスタが、前記被測定 L S I から出力される出力データを入力する複数の順序回路と、一定のタイミング間隔で遅延させたストローブを前記複数の順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、を有する第二のタイムインターポレータを備え、前記選択回路が、前記第一のタイムインターポレータで符号化された時系列のレベルデータを選択信号として、前記第二のタイムイン

ターポレータから入力される時系列のレベルデータのうち、一のデータを選択し、前記被測定 L S I の被測定データとして出力するセクタを備える構成としてある。

【 0 0 1 8 】

このような構成からなる本発明の被測定 L S I の試験装置によれば、ソースシンクロナス回路を構成する第一、第二の L S I テスタ及び選択回路を、順序回路や遅延回路、エンコーダ、セクタ等、既存の手段を用いて簡単に構成することができる。

これにより、L S I テスタが複雑化、大型化、高コスト化等することなく、簡易な構成によって、本発明に係るソースシンクロナス回路を備える L S I テスタを実現することができる。

【 0 0 1 9 】

また、このような構成のソースシンクロナス回路によれば、複数の順序回路の数、遅延回路の遅延量を変更することができ、第一、第二のタイムインターポレータにおける時系列のレベルデータのビット幅（順序回路の数）や分解能（遅延回路の遅延量）を任意の値に設定することができる。

これにより、データレートやジッタ幅等に応じて種々の設定が可能となり、あらゆる L S I にも対応できる汎用性、利便性の高い L S I テスタを実現することが可能となる。

【 0 0 2 0 】

また、請求項 3 では、前記第二のタイムインターポレータが、前記複数の順序回路から出力される時系列のレベルデータを入力し、前記被測定 L S I の出力データのエッジタイミングを示すタイミングデータに符号化して出力するエンコーダを有する構成としてある。

【 0 0 2 1 】

このような構成からなる本発明の被測定 L S I の試験装置によれば、第二のタイムインターポレータにエンコーダを備えることにより、第一の L S I テスタと第二の L S I テスタを、まったく同一の構成とすることができる。

これにより、複数の L S I テスタを備える場合に、すべての L S I テスタを同

一構成にすることで、各LSIテストの任意のチャンネルに被測定LSIのクロックや出力データを割り付けることができ、チャンネルの割付け作業を容易かつ効率的に行うことができる。

また、このように同一構成からなるLSIテストを備えることで、複数のLSIテストのいずれに対しても、被測定LSIのクロックや出力データを割り付けることができ、被測定LSIから複数のクロックや出力データが出力される場合には、任意のクロックのタイミングで任意の出力データを取得することができ、あらゆるLSIに対応可能な汎用性、利便性の高い試験装置を実現できる。

【0022】

そして、請求項4では、前記第一及び／又は第二のタイムインターポレータの順序回路がフリップ・フロップからなる構成としてある。

一方、請求項5では、前記第一及び／又は第二のタイムインターポレータの順序回路がラッチからなる構成としてある。

【0023】

このような構成からなる本発明の被測定LSIの試験装置によれば、第一、第二のタイムインターポレータに備えられる順序回路を、フリップ・フロップやラッチ等、既存の回路を用いて簡単に構成することができる。

これにより、タイムインターポレータが複雑化、大型化、高コスト化等することなく、簡易な構成によって、本発明に係るソースシンクロナス回路を備えるLSIテストを実現することができる。

なお、順序回路は、被測定LSIからのクロック及び出力データを一定のタイミング間隔で取得し、時系列のレベルデータとして出力できる限り、フリップ・フロップやラッチの他、どのような回路構成であってもよい。

【0024】

さらに、請求項6では、前記第一及び第二のLSIテストをそれぞれ接続し、当該第一及び第二のLSIテストから出力されるデータを所定の前記選択回路に分配するバスを備える構成としてある。

【0025】

このような構成からなる本発明の被測定LSIの試験装置によれば、第一、第

二のLSIテストから出力される時系列のレベルデータを入力して選択回路に振り分けるバスを備えることにより、所望のクロックを所望の出力データに割り当てて選択回路に入力して被測定データを取得することができる。

これにより、被測定LSIに応じて第一、第二のLSIテスト及び選択回路が複数備えられる場合にも、各クロック及び出力データを任意に組み合わせて被測定データを取り込むことができ、より汎用性、利便性の高いLSIテストを実現することができる。

【0026】

[被測定LSIのジッタアナライザ]

次に、本発明の被測定LSIのジッタアナライザは、請求項7に記載するように、被測定LSIから出力されるクロック又は出力データのジッタの分布を取得し、解析するジッタアナライザであって、前記被測定LSIから出力されるクロック又は出力データを入力し、このクロック又は出力データを一定のタイミング間隔を有する複数のストロークによって取得し、時系列のレベルデータとして出力する第一のLSIテストと、この第一のLSIテストから出力される時系列のレベルデータを入力することにより、前記第一のLSIテストに入力されるクロック又は出力データのエッジタイミングを取得し、当該クロック又は出力データのジッタの分布として出力するジッタ分布解析手段と、を有するソースシンクロナス回路を備える構成としてある。

【0027】

このような構成からなる本発明の被測定LSIのジッタアナライザによれば、本発明に係るソースシンクロナス回路を備えることにより、被測定LSIから出力されるクロック又は出力データの信号変化点（エッジタイミング）を示す時系列のレベルデータを取得することができる。

従って、このクロック又は出力データの信号変化点を示すレベルデータを複数取得し、蓄積することにより、ジッタにより変動する各データの信号変化点の分布を解析することが可能となる。

これにより、本発明に係るジッタアナライザでは、従来のジッタ測定器を用いる場合のようなオシロスコープ等の操作による誤差や測定作業の困難性等の問題

が生じることなく、容易に精度の高いジッタ解析を行うことができる。

【 0 0 2 8 】

そして、具体的には、請求項 8 では、前記第一の L S I テスタが、前記被測定 L S I から出力されるクロック又は出力データを入力する複数の順序回路と、一定のタイミング間隔で遅延させたストローブを前記複数の順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、前記複数の順序回路から出力される時系列のレベルデータを入力し、前記被測定 L S I のクロック又は出力データのエッジタイミングを示すタイミングデータに符号化して出力するエンコーダと、を有するタイムインターポレータを備える構成としてある。

【 0 0 2 9 】

このような構成からなる本発明の被測定 L S I のジッタアナライザによれば、ソースシンクロナス回路を構成する第一の L S I テスタを、順序回路や遅延回路、エンコーダ等、既存の手段を用いて簡単に構成することができる。

これにより、ジッタアナライザが複雑化、大型化、高コスト化等することなく、簡易な構成によって、本発明に係るソースシンクロナス回路を用いたジッタアナライザを実現することができる。

【 0 0 3 0 】

また、このような構成のソースシンクロナス回路によれば、複数の順序回路の数、遅延回路の遅延量を変更することができ、タイムインターポレータにおける時系列のレベルデータのビット幅（順序回路の数）や分解能（遅延回路の遅延量）を任意の値に設定することができる。

これにより、データレートやジッタ幅等に応じて種々の設定が可能となり、あらゆる L S I にも対応が可能な汎用性、利便性の高いジッタアナライザを実現することができる。

【 0 0 3 1 】

しかも、本発明によれば、クロック用の L S I テスタと出力データ用の L S I テスタとを、まったく同一の構成とすることができる。

これにより、本発明に係るジッタアナライザを用いて被測定 L S I の任意のク

ロック及び出力データについてジッタ解析を行うことができ、きわめて汎用性の高いジッタアナライザを実現することができる。

【 0 0 3 2 】

また、請求項 9 では、前記ジッタ分布解析手段が、前記エンコーダから出力されるタイミングデータを記憶する記憶回路を備え、この記憶回路に記憶される複数のデータから、前記第一の L S I テスタに入力されるクロック又は出力データのエッジタイミングの分布を取得する構成としてある。

【 0 0 3 3 】

このような構成からなる本発明の被測定 L S I のジッタアナライザによれば、エンコーダから出力される被測定 L S I のクロック又は出力データの信号変化点を示すタイミングデータを、記憶回路（メモリ）に複数記憶、蓄積することができる。

これにより、記憶回路に蓄積された複数のタイミングデータを、例えば C P U でソフトウェア処理することによってクロック又は出力データの分布を示すジッタ・ヒストグラムを得る等、任意の方法を用いてタイミングデータを解析処理することができる。

しかも、タイミングデータを記憶する記憶回路を L S I テスタに付加するだけで、本発明に係るジッタアナライザを構成できるので、ジッタアナライザが複雑化、大型化、高コスト化等することなく、簡易な構成によって本発明に係るジッタアナライザを実現できる。

【 0 0 3 4 】

また、請求項 1 0 では、前記ジッタ分布解析手段が、前記エンコーダから出力されるタイミングデータを入力し、時系列のレベルデータに復号化して出力するデコーダと、このデコーダの出力信号を出力端子ごとにカウントする複数のカウンタと、を備え、このカウンタから出力される複数のデータから、前記第一の L S I テスタに入力されるクロック又は出力データのエッジタイミングの分布を取得する構成としてある。

【 0 0 3 5 】

このような構成からなる本発明の被測定 L S I のジッタアナライザによれば、

エンコーダから出力される被測定 L S I のクロック又は出力データの信号変化点を示すタイミングデータを、デコーダで複合化し、このデコーダの出力を出力端子ごとにカウンタでカウントすることができる。

そして、被測定 L S I の各クロック又は出力データを複数取得することにより、各データの信号変化点をカウントしてその分布を得ることができる。

【 0 0 3 6 】

これにより、例えば、カウンタから出力されるデータを読み込み、そのままグラフ化してクロック又は出力データの分布を示すジッタ・ヒストグラムを得ることができ、データをいったん記憶回路に記憶させた後に解析処理を行う場合よりも、さらに高速なジッタ解析が可能となる。

なお、デコーダの出力をカウントするカウンタの個数は、タイムインターポレータによる時系列のレベルデータの測定可能範囲（分解能）に対応するものであり、具体的には、順序回路の数と同数とすることが好ましい。

【 0 0 3 7 】

そして、請求項 1 1 では、前記タイムインターポレータの順序回路がフリップ・フロップからなる構成としてある。

一方、請求項 1 2 では、前記タイムインターポレータの順序回路がラッチからなる構成としてある。

【 0 0 3 8 】

このような構成からなる本発明の被測定 L S I のジッタアナライザによれば、タイムインターポレータに備えられる順序回路を、フリップ・フロップやラッチ等、既存の回路を用いて簡単に構成することができる。

これにより、タイムインターポレータが複雑化、大型化、高コスト化等することなく、簡易な構成によって、本発明に係るソースシンクロナス回路を備えるジッタアナライザを実現することができる。

なお、順序回路は、被測定 L S I からのクロック又は出力データを一定のタイミング間隔で取得し、時系列のレベルデータとして出力できる限り、フリップ・フロップやラッチの他、どのような回路構成であってもよい。

【 0 0 3 9 】

〔被測定 L S I の位相差検出器〕

さらに、本発明の被測定 L S I の位相差検出器は、請求項 1 3 に記載するように、被測定 L S I から出力されるクロックと出力データの位相差を検出する位相差検出器であって、前記被測定 L S I から出力されるクロックを入力し、このクロックを一定のタイミング間隔を有する複数のストロープによって取得し、時系列のレベルデータとして出力する第一の L S I テスタと、前記被測定 L S I から出力される出力データを入力し、この出力データを一定のタイミング間隔を有する複数のストロープによって取得し、時系列のレベルデータとして出力する第二の L S I テスタと、この第一又は第二の L S I テスタの少なくとも一方に備えられ、当該第一及び第二の L S I テスタから出力される時系列のレベルデータを入力することにより、前記第一の L S I テスタに入力されるクロックのエッジタイミングと前記第二の L S I テスタに入力される出力データのエッジタイミングとの差を算出し、位相差として出力する位相差検出回路と、を有するソースシンクロナス回路を備える構成としてある。

【 0 0 4 0 】

このような構成からなる本発明の被測定 L S I の位相差検出器によれば、本発明に係るソースシンクロナス回路を備えることにより、被測定 L S I から出力されるクロック及び出力データの信号変化点（エッジタイミング）を示す時系列のレベルデータを取得することができる。

そして、このクロック及び出力データのエッジタイミングを示すレベルデータを減算処理することにより、クロックと出力データの位相差を検出することが可能となる。

これにより、本発明では、従来のジッタ測定器を用いることなく、容易かつ確実に被測定 L S I のクロックと出力データの位相差を取得、解析することができる。

【 0 0 4 1 】

そして、具体的には、請求項 1 4 では、前記第一の L S I テスタが、前記被測定 L S I から出力されるクロックを入力する複数の順序回路と、一定のタイミング間隔で遅延させたストロープを前記複数の順序回路に順次入力し、当該順序回

路から時系列のレベルデータを出力させる遅延回路と、前記複数の順序回路から出力される時系列のレベルデータを入力し、前記被測定 L S I のクロックのエッジタイミングを示すタイミングデータに符号化して出力するエンコーダと、を有する第一のタイムインターポレータを備え、前記第二の L S I テスタが、前記被測定 L S I から出力される出力データを入力する複数の順序回路と、一定のタイミング間隔で遅延させたストロブを前記複数の順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、前記複数の順序回路から出力される時系列のレベルデータを入力し、前記被測定 L S I の出力データのエッジタイミングを示すタイミングデータに符号化して出力するエンコーダと、を有する第二のタイムインターポレータを備え、前記位相差検出回路が、前記第一のタイムインターポレータで符号化された時系列のレベルデータと、前記第二のタイムインターポレータで符号化された時系列のレベルデータとを減算する減算回路と、この減算回路の減算結果を復号化するデコーダと、を備え、前記デコーダにより復号化されたデータを、前記被測定 L S I のクロックと出力データの位相差として出力する構成としてある。

【0042】

このような構成からなる本発明の被測定 L S I の位相差検出器によれば、ソースシンクロナス回路を構成する第一、第二の L S I テスタ及び位相差検出回路を、順序回路や遅延回路、エンコーダ、減算回路、デコーダ等、既存の手段を用いて簡単に構成することができる。

これにより、位相差検出器が複雑化、大型化、高コスト化等することなく、簡易な構成によって、本発明に係るソースシンクロナス回路を備える位相差検出器を実現することができる。

【0043】

また、このような構成のソースシンクロナス回路によれば、複数の順序回路の数、遅延回路の遅延量を変更することができ、第一、第二のタイムインターポレータにおける時系列のレベルデータのビット幅（順序回路の数）や分解能（遅延回路の遅延量）を任意の値に設定することができる。

これにより、データレートやジッタ幅等に応じて種々の設定が可能となり、あ

あらゆる L S I にも対応できる汎用性、利便性の高い位相差検出器を実現することが可能となる。

【 0 0 4 4 】

しかも、本発明によれば、第一の L S I テスタと第二の L S I テスタとを、まったく同一の構成とすることができるので、位相差検出器のすべてのチャンネルについて、本発明に係る同一構成のソースシンクロナス回路を備えることができる。これにより、複数の L S I テスタに対して、任意に被測定 L S I のクロックや出力データを割り付けることができ、チャンネルの割付け作業を容易かつ効率的に行うことができる。

また、このように任意のチャンネルに被測定 L S I のクロックや出力データを割り付けることができることで、被測定 L S I から複数のクロックや出力データが出力される場合には、任意の組合せによるクロックと出力データの位相差を取得することができ、あらゆる L S I に対応可能な汎用性、利便性の高い試験装置を実現できる。

【 0 0 4 5 】

また、請求項 1 5 では、前記位相差検出回路が、前記デコーダの出力信号を出力端子ごとにカウントする複数のカウンタを備え、このカウンタから出力される複数のデータから、前記第一の L S I テスタに入力されるクロックと前記第二の L S I テスタに入力される出力データの位相差の分布を取得する構成としてある。

【 0 0 4 6 】

このような構成からなる本発明の被測定 L S I の位相差検出器によれば、被測定 L S I のクロックと出力データの位相差を示すデコーダの出力を出力端子ごとにカウンタでカウントすることができる。

そして、被測定 L S I のクロックと出力データを複数取得することにより、クロックと出力データの位相差の分布を得ることができる。

これにより、例えば、カウンタから出力されるデータを読み込んでグラフ化することで、クロックと出力データの位相差の分布を示すヒストグラムを得ることができる。

なお、デコーダの出力をカウントするカウンタの個数は、減算回路で算出される位相差の数と同数とすることが好ましい。

【0047】

そして、請求項16では、前記第一及び／又は第二のタイムインターポレータの順序回路がフリップ・フロップからなる構成としてある。

一方、請求項17では、前記第一及び／又は第二のタイムインターポレータの順序回路がラッチからなる構成としてある。

【0048】

このような構成からなる本発明の被測定LSIの位相差検出器によれば、第一、第二のタイムインターポレータに備えられる順序回路を、フリップ・フロップやラッチ等、既存の回路を用いて簡単に構成することができる。

これにより、第一、第二のタイムインターポレータが複雑化、大型化、高コスト化等することなく、簡易な構成によって、本発明に係るソースシンクロナス回路を備える位相差検出器を実現することができる。

なお、順序回路は、被測定LSIからのクロック及び出力データを一定のタイミング間隔で取得し、時系列のレベルデータとして出力できる限り、フリップ・フロップやラッチの他、どのような回路構成であってもよい。

【0049】

さらに、請求項18では、前記第一及び第二のLSIテストをそれぞれ接続し、当該第一及び第二のLSIテストから出力されるデータを所定の前記位相差検出回路に分配するバスを備える構成としてある。

【0050】

このような構成からなる本発明の被測定LSIの位相差検出器によれば、第一、第二のLSIテストから出力される時系列のレベルデータを入力して位相差検出回路に振り分けるバスを備えることにより、所望のクロックを所望の出力データに割り当てて位相差検出回路に入力して位相差データを取得することができる。

これにより、被測定LSIに応じて第一、第二のLSIテスト及び位相差検出回路が複数備えられる場合にも、各クロック及び出力データを任意に組み合わせ

て位相差データを取り込むことができ、より汎用性、利便性の高い位相差検出器を実現することができる。

【 0 0 5 1 】

【発明の実施の形態】

以下、本発明に係る被測定 L S I の試験装置、ジッタアナライザ及び位相差検出器の好ましい実施形態について、図面を参照しつつ説明する。

【 0 0 5 2 】

〔被測定 L S I の試験装置〕

まず、本発明に係る被測定 L S I の試験装置の実施形態について、図 1 ～図 3 を参照しつつ説明する。

〔第一実施形態〕

以下、図 1 及び図 2 を参照して、本発明に係る被測定 L S I の試験装置の第一実施形態について説明する。

図 1 は、本発明に係る被測定 L S I の試験装置の第一実施形態の構成を示すブロック図である。

図 1 に示すように、本実施形態に係る被測定 L S I の試験装置は、被測定 L S I 1 の機能試験を行う L S I テスタ 1 0 を備えており、L S I テスタ 1 0 が被測定 L S I 1 から出力される出力データを被測定データとして取得し、これを所定の期待値データと比較することにより、当該被測定 L S I 1 の良否を判定するようになっている。

【 0 0 5 3 】

被測定 L S I 1 は、図示しないパターン発生器等から信号が入力されることにより所定の出力データを出力するとともに、クロック信号を出力するようになっている。

このように L S I 自体からクロックが出力されるものとして、例えば上述した「RapidIO」（登録商標）や「HyperTransport」（登録商標）等を使用した L S I や、バス・システムを P C I バスから「RapidIO」に変換するためのブリッジ L S I 等がある。

【 0 0 5 4 】

そして、本実施形態では、この被測定LSI1から出力されるクロックを複数のLSIテスト10に入力することで、被測定LSI1のクロック・タイミングで当該被測定LSI1の出力データを取得し、被測定データとして出力するようにしたものである。

具体的には、LSIテスト10は、被測定LSI1のクロック及び出力データを、それぞれ一定のタイミング間隔を有する複数のストロークで取得して、時系列のレベルデータとして出力するとともに、当該時系列のレベルデータを用いて、被測定LSI1のクロックのエッジタイミングで出力データを選択、取得するソースシンクロナス回路を構成している。

【0055】

まず、ソースシンクロナス回路を構成するLSIテスト10は、被測定LSI1から出力される各クロック及び出力データごとに、それぞれ同一構成のLSIテスト10が一つずつ割り当てられるようになっている。

本実施形態では、図1に示すように、被測定LSI1のクロック側に一つのLSIテスト10（本発明の第一のLSIテスト）が備えられるとともに、被測定LSI1の出力データ側に1～n個のLSIテスト10（本発明の第二のLSIテスト）が備えられている。

そして、各LSIテスト10は、タイムインターポレータ・バス40を介して相互に接続されており、後述するように、タイムインターポレータ・バス40の制御により、所定のチャンネル（LSIテスト10）間で信号の入出力が行われるようになっている。

【0056】

各LSIテスト10は、図1に示すように、それぞれが同一の構成となっており、具体的には、レベルコンパレータ11と、パターン比較器12、タイムインターポレータ20及びセクタ30を備えている。

レベルコンパレータ11は、被測定LSI1からの出力信号（クロック又は出力データ）を入力し、所定の比較電圧とレベル比較して、タイムインターポレータ20に信号を出力する。

パターン比較器12は、後述するタイムインターポレータ20を介してセクタ

タ 30 で選択された被測定 L S I 1 の出力データを所定の期待値と比較し、試験結果を出力する。

【0057】

タイムインターポレータ 20 は、被測定 L S I 1 から出力されるクロック又は出力データを一定のタイミング間隔を有する複数のストロープによって取得し、時系列のレベルデータとして出力する。

具体的には、タイムインターポレータ 20 は、複数の順序回路となるフリップ・フロップ 21 a ~ 21 n と、遅延回路 22 及びエンコーダ 23 を備えている。

複数のフリップ・フロップ 21 a ~ 21 n は、本実施形態では並列に接続された D 型フリップ・フロップ群からなり、それぞれレベルコンパレータ 11 を介して被測定 L S I から出力される出力信号（クロック又は出力データ）を、入力データとして入力する。そして、遅延回路 22 を介して入力されるストロープをクロック信号として、所定のタイミングで入力されたデータを出力するようになっている。

【0058】

遅延回路 22 は、一定のタイミング間隔で遅延させたストロープを複数のフリップ・フロップ 21 a ~ 21 n のクロック端子に順次入力し、当該フリップ・フロップ 21 a ~ 21 n から時系列のレベルデータを出力させる。

ここで、複数のフリップ・フロップ 21 a ~ 21 n の数及び遅延回路 22 の遅延量を任意に設定、変更することができ、タイムインターポレータ 20 で取得する時系列のレベルデータのビット幅（順序回路の数）や分解能（遅延回路の遅延量）を所望の値に設定することができる。

これにより、試験対象となる被測定 L S I 1 のデータレートやジッタ幅等に応じて、取得される時系列のレベルデータを種々に設定でき、あらゆる L S I にも対応が可能となっている。

【0059】

また、遅延回路 22 を介してフリップ・フロップ 21 a ~ 21 n に入力されるストロープは、クロック側と出力データ側とで入力のタイミングを異ならせることができる。

本実施形態では、各LSIテスト10ごとに異なるタイミング発生器等を備えることにより、クロック側と出力データ側とで、それぞれ独立してストロブを入力するようにしてある(図1に示すクロック側の「ストロブ1」及び出力データ側の「ストロブ2」)。これにより、被測定LSI1から出力されるクロックと出力データの位相差に応じて適切なタイミングに調節することができる。

被測定LSI1から出力されるクロックと出力データは、位相が常に一致しているとは限らず、例えば、セットアップ・タイムがマイナスとなることも、プラスとなることもある。

従って、そのような場合に、ストロブのタイミングをクロック側と出力データ側とでそれぞれ異ならせることにより、位相差のあるクロックと出力データに適切なタイミングでストロブが出力されるように調節することができる。

【0060】

エンコーダ23は、複数のフリップ・フロップ21a~21nから出力される時系列のレベルデータを入力し、当該レベルデータを符号化して出力するようになっている。

具体的には、エンコーダ23は、フリップ・フロップ21a~21nから一定間隔で順次データが入力され、すべてのフリップ・フロップ21a~21nからのデータが揃ったタイミングでエンコーディングを行い、その結果を出力する。

これにより、フリップ・フロップ21a~21nから出力された時系列のレベルデータが符号化されて出力されることになる。

【0061】

そして、本実施形態では、クロック側LSIテスト10のエンコーダ23が、複数のフリップ・フロップ21a~21nから出力される時系列のレベルデータを入力することにより、被測定LSI1のクロックのエッジタイミングを示すタイミングデータに符号化して出力するようになっている。

なお、出力データ側LSIテスト10では、後述するように、フリップ・フロップ21a~21nから出力される時系列のレベルデータは、直接セクタ30に入力されるようになっている。すなわち、本実施形態では、出力データ側のエンコーダ23は使用されないことになる。

従って、出力データ側のLSIテスト10については、本実施形態ではエンコーダ23を省略することが可能である。

【0062】

セクタ30は、複数のフリップ・フロップ21a～21nから出力される時系列のレベルデータを入力することにより、被測定LSI1のクロックのエッジタイミングで当該被測定LSI1の出力データを選択し、当該被測定LSI1の被測定データとして出力する選択回路である。

具体的には、セクタ30は、マルチプレクサ等からなり、データ入力側に複数の各フリップ・フロップ21a～21nが接続されるとともに、セレクト信号端子にはタイムインターポレータ・バス40が接続されている。

そして、本実施形態では、出力データ側のセクタ30に出力データ側のフリップ・フロップ21a～21nから出力される時系列のレベルデータが入力されるとともに、タイムインターポレータ・バス40の制御により、クロック側タイムインターポレータ20のエンコーダ23で符号化された時系列のレベルデータが、出力データ側のセクタ30の選択信号として入力されるようになっている。

【0063】

これにより、出力データ側のセクタ30では、出力データ側タイムインターポレータ20のフリップ・フロップ21a～21nから出力される時系列のレベルデータが入力データとして入力されるので、クロック側のエンコーダ23からの信号を選択信号として、出力データ側のレベルデータのうち、一のデータが選択される。

そして、このセクタ30で選択された被測定LSI1の出力データが、パターン比較器12に出力され、パターン比較器12で所定の期待値と比較され、試験結果が出力されるようになっている。

【0064】

なお、クロック側のLSIテスト10に備えられるセクタ30に対しては、後述するタイムインターポレータ・バス40の制御により、選択信号が入力されないようになっている。すなわち、クロック側のセクタ30（及びパターン比

較器12)は、本実施形態では使用されない。

従って、クロック側のLSIテスト10については、セクタ30(及びパターン比較器12)を省略することが可能である。

換言すれば、セクタ30は、本実施形態では、クロック側及び出力データ側タイムインターポレータ20からの出力信号が入力される限り、クロック側又は出力データ側のLSIテスト10の少なくとも一方に備えられればよい。

【0065】

タイムインターポレータ・バス40は、クロック側LSIテスト10及び出力データ側LSIテスト10をそれぞれ接続する伝送線路であり、各LSIテスト10から出力されるデータを所定のセクタ30に分配するように制御される。

図1に示すように、タイムインターポレータ・バス40は、各チャンネル(LSIテスト10)のエンコーダ23の出力端子及びセクタ30のセレクト端子に対してIN/OUTの二点のスイッチで接続しており、各チャンネルにクロックか出力データのいずれかが入力されるようにスイッチのON/OFFを制御するようになっている。

【0066】

図1に示す例では、クロック側LSIテスト10のエンコーダ23についてOUTがONにされ、出力データ側LSIテスト10のセクタ30についてINがONにされている(図1に示すタイムインターポレータ・バス40上の「●」がON, 「○」がOFFを示している)。これにより、該当するチャンネル(図1では出力データ側LSIテスト10)のセクタ30に対して、クロック側LSIテスト10からレベルデータがセレクト信号として入力されるようになっている。

なお、該当するチャンネルにクロック側、出力データ側のいずれからもデータが入力されない場合は、どちらのスイッチもOFFとなる。

【0067】

ここで、いずれのチャンネルにどのクロック又は出力データの信号が入力されるかの情報は、通常は予め与えられている。

従って、その情報に従い、試験装置を使用する前に、予めいずれのスイッチを

ON/OFFにするかを設定することができる。

また、このON/OFFの制御情報は、図示しない制御用レジスタ等に情報を書き込んでおくことができる。

【0068】

このようなタイムインターポレータ・バス40を備えることにより、クロック側及び出力データ側のLSIテスト10から出力される時系列のレベルデータは、タイムインターポレータ・バス40に入力され、所定のセクタ30に振り分けることができる。

これにより、所望のクロックを所望の出力データに割り当てて被測定データとして取得することができる。

従って、被測定LSI1の構成やデータレート、ジッタ幅等に応じて、セクタ30を含むLSIテスト10が複数備えられる場合にも、各クロック及び出力データを任意に組み合わせて被測定データを取り込むことができる。

【0069】

例えば、被測定LSI1からクロック及び出力データが複数送出される場合に、「クロック1と出力データ1」、「クロック2と出力データ2」、というように、それぞれ任意のLSIテスト10にデータを割り付けることができる。

そして、この場合、「出力データ1」については「クロック1」のタイミングで、「出力データ2」については「クロック2」のタイミングで、独立して被測定データを取得することができる。

なお、LSIテスト10が複数備えられる場合には、各LSIテスト10にデータを振り分けるタイムインターポレータ・バス40も、各LSIテスト10に対応して複数備えられることになる。

【0070】

次に、以上のような構成からなる本実施形態に係る被測定LSIの試験装置の動作について説明する。

まず、試験装置に備えられる図示しないパターン発生器から被測定LSI1に所定の試験パターン信号が入力されると、被測定LSI1からは、パターン信号に対応する所定の出力データ及びクロックが出力される。

被測定 L S I 1 から出力されたクロック及び出力データは、それぞれ別々のチャンネル (L S I テスタ 10) に入力される。

各 L S I テスタ 10 に入力されたクロック及び出力データは、それぞれ、レベルコンパレータ 11 に入力、比較電圧とレベル比較された後、各タイムインターポレータ 20 に入力される。

【0071】

タイムインターポレータ 20 に入力された信号 (クロック又は出力データ) は、まず、並列に接続された複数のフリップ・フロップ 21 a ~ 21 n に入力される。

また、クロック又は出力データが入力される各フリップ・フロップ 21 a ~ 21 n のクロック端子には、遅延回路 22 によって一定のタイミング間隔でストローブが入力される。

これによって、各フリップ・フロップ 21 a ~ 21 n からは、入力されたクロック又は出力データが時系列のレベルデータとして取得、出力されることになる。

【0072】

そして、クロック側 L S I テスタ 10 では、フリップ・フロップ 21 a ~ 21 n から出力された時系列のレベルデータは、エンコーダ 23 に入力され、符号化される。

エンコーダ 23 で符号化されたレベルデータは、クロックのエッジタイミング (立上がりエッジ又は立下がりエッジ) を示すタイミングデータとなる。

このタイミングデータが、タイムインターポレータ・バス 40 に入力され、タイムインターポレータ・バス 40 を介して、所定の出力データ側 L S I テスタ 10 に分配され、該当する出力データ側 L S I テスタ 10 のセクタ 30 に選択信号として入力される。

【0073】

一方、出力データ側 L S I テスタ 10 では、フリップ・フロップ 21 a ~ 21 n で取得された時系列のレベルデータは、そのままセクタ 30 に入力データとして入力される。

これにより、出力データ側のセクタ 3 0 では、クロック側 L S I テスタ 1 0 から入力されたタイミングデータを選択信号として、出力データを示す時系列のレベルデータの中から、一のデータを選択し、このデータが被測定データとして出力される。

【 0 0 7 4 】

そして、出力データ側のセクタ 3 0 から出力された出力データは、パターン比較器 1 2 に入力され、テスト内のパターン発生器から出力される所定の期待値データと比較され、比較結果が出力される。

この比較結果により、出力データと期待値との一致、不一致が検出され、被測定 L S I 1 の良否 (P a s s / F a i l) の判定が行われる。

すなわち、セクタ 3 0 の出力と期待値とが一致すれば P a s s の判定が、不一致の場合には F a i l の判定が下されることになる。

【 0 0 7 5 】

以下、図 2 を参照して、具体的な実施例を説明する。

図 2 は、本実施形態の試験装置における被測定 L S I 1 のクロックのエッジタイミングで出力データを取得する動作を示す信号図である。

同図に示す実施例は、各 L S I テスタ 1 0 に四つのフリップ・フロップ 2 1 a ~ 2 1 d が備えられ、被測定 L S I 1 から出力されるクロック及び出力データをビット数 “ 4 ” のレベルデータとして取得する場合となっている。従って、出力データを選択するセクタ 3 0 は 4 - 1 型 M U X 等で構成される。

【 0 0 7 6 】

まず、図 2 (a) に示す信号の場合、被測定 L S I 1 から出力されるクロックが “ L ” から “ H ” になるエッジタイミングがビット数 “ 1 ” の位置であるのに対し、出力データは “ L ” から “ H ” になる信号変化点のタイミングがビット数 “ 0 ” の位置となっている (同図の太線部分) 。

この場合、まず、クロックについては、クロック側 L S I テスタ 1 0 のフリップ・フロップ 2 1 a ~ 2 1 d により、例えば “ 0 1 1 1 ” (ビット数 “ 1 ” の位置から “ H ”) のレベルデータが取得される。このデータが、エンコーダ 2 3 によりビット数 “ 1 ” を示すタイミングデータ (例えば “ 0 1 ”) に符号化される

【0077】

一方、出力データは、出力データ側LSIテスト10のフリップ・フロップ21a～21dにより、例えば“1111”（ビット数“0”の位置から“H”）のレベルデータが取得され、このデータが、セクタ30の各入力端子に入力される。

そして、出力データ側のセクタ30では、クロック側から入力される選択信号により、ビット数“1”に対応する入力端子のデータが選択され、その結果、セクタ30から出力されるデータは“H”となる。

以上のデータの流れを表1に示す。

【0078】

【表1】

エンコード入力 (クロック)	エンコード出力	セクタ入力 (出力データ)		セクタ出力
0111	01 ("1")	00	1	
		01	1	1
		10	1	
		11	1	

【0079】

一方、図2（b）に示す信号は、図2（a）の信号からクロック、出力データともにジッタにより同位相（2ビット分）ずれた場合を示している。

この場合、クロックが“L”から“H”になるエッジタイミングはビット数“3”の位置であるのに対して、出力データが“L”から“H”になる信号変化点のタイミングがビット数“2”の位置となる（同図の太線部分）。

従って、クロックは、クロック側LSIテスト10のフリップ・フロップ21a～21dにより、例えば“0001”（ビット数“3”の位置から“H”）のレベルデータが取得される。そして、このデータが、エンコード23によりビット数“3”を示すタイミングデータ（例えば“11”）に符号化される。

【0080】

一方、出力データは、出力データ側 L S I テスタ 1 0 のフリップ・フロップ 2 1 a ~ 2 1 d により、例えば “0 0 1 1” (ビット数 “2” の位置から “H”) のレベルデータが取得され、このデータが、セクタ 3 0 の各入力端子に入力される。

出力データ側のセクタ 3 0 では、クロック側から入力される選択信号により、ビット数 “3” に対応する入力端子のデータが選択され、その結果、セクタ 3 0 から出力されるデータは、図 2 (a) の場合と同様、“H” となる。

以上のデータの流れを表 2 に示す。

【0 0 8 1】

【表 2】

エンコード入力 (クロック)	エンコード出力	セクタ入力 (出力データ)		セクタ出力
0 0 0 1	1 1 ("3")	0 0	0	
		0 1	0	
		1 0	1	
		1 1	1	1

【0 0 8 2】

従って、図 2 (a) の場合も、図 2 (b) の場合も、ジッタにより信号変化点の変動しているが、いずれも被測定データとして “H” が取得されることになる。

これを従来の固定ストロークの試験装置で取得した場合、図 2 (a) の場合には “H” が取得され、図 2 (b) の場合には “L” が取得され、被測定データが一定とならない (図 1 1 参照)。

このように、本実施形態の試験装置では、被測定 L S I 1 のクロックと出力データの信号変化点 (エッジタイミング) がジッタにより変動した場合でも、クロックと出力データが同位相でずれる場合には、常に同じ結果を取得することができる。

【0 0 8 3】

以上説明したように、本実施形態に係る被測定LSIの試験装置によれば、本発明に係るソースシンクロナス回路を構成する複数のLSIテスト10を備えることにより、被測定LSI1から出力されるクロック及び出力データを、時系列のレベルデータとして取得することができる。

時系列のレベルデータは、被測定LSI1のクロック又は出力データの信号変化点であるエッジタイミングを示すものであり、このクロックのエッジタイミングを示すレベルデータを、被測定LSI1の出力データを取得するタイミング信号として用いることができる。これにより、被測定LSI1のクロック及び出力データの信号変化点（立上がりエッジ又は立下がりエッジ）がジッタにより変動した場合にも、変動したクロックのエッジタイミングで出力データを取り込むことが可能となる。

従って、本実施形態に係る試験装置では、被測定LSI1の出力データを、ジッタに応じて変動するタイミングで取得することができ、ジッタの影響に左右されることなく、常に正確な試験結果を得ることができる。

【0084】

また、本実施形態では、ソースシンクロナス回路を構成する複数のLSIテスト10を、順序回路や遅延回路、エンコーダ、セレクタ等、既存の手段を用いて簡単に構成することができる。これにより、LSIテスト10は、複雑化、大型化、高コスト化等することなく、簡易な構成によって実現することができる。

さらに、本実施形態では、クロック側及び出力データ側のLSIテスト10が、それぞれタイムインターポレータ20にエンコーダ23を備えるとともに、各タイムインターポレータ20にセレクタ30（及びパターン比較器12）を備えるようになっており、複数の各LSIテスト10を、まったく同一の構成としてある。これにより、複数のLSIテスト10の任意のチャンネルに被測定LSI1のクロックや出力データを割り付けることができ、チャンネルの割付け作業を容易かつ効率的に行うことができる。

また、このように任意のチャンネルに被測定LSI1のクロックや出力データを割り付けることができることで、被測定LSI1から複数のクロックや出力データが出力される場合に、任意のクロックのタイミングで任意の出力データを取

得することが可能となる。これにより、本実施形態では、あらゆる L S I に対応可能な汎用性、利便性の高い試験装置を実現することができる。

【 0 0 8 5 】

[第二実施形態]

次に、図 3 を参照して、本発明に係る被測定 L S I の試験装置の第二実施形態について説明する。

図 3 は、本発明に係る被測定 L S I の試験装置の第二実施形態の構成を示すブロック図である。

同図に示す本実施形態に係る被測定 L S I の試験装置は、図 1 に示した第一実施形態の変形実施形態であり、各 L S I テスタ 1 0 に備えられる複数の順序回路として、フリップ・フロップ 2 1 a ~ 2 1 n に代えてラッチ 2 4 a ~ 2 4 n を備えるようにしたものである。

従って、その他の構成部分は、第一実施形態と同様となっており、同様の構成部分については、図中で第一実施形態と同一符号を付し、詳細な説明は省略する。

【 0 0 8 6 】

このように、クロック側、出力データ側のタイムインターポレータ 2 0 に備えられる順序回路としてラッチ 2 4 a ~ 2 4 n を備えるようにしても、上述した第一実施形態の場合と同様の効果を奏することができる。

すなわち、本実施形態によっても、タイムインターポレータ 2 0 が複雑化、大型化、高コスト化等することなく、簡易な構成によって、本発明に係るソースシンクロナス回路を備える L S I テスタ 1 0 を実現することができる。

なお、タイムインターポレータ 2 0 に備えられる順序回路は、被測定 L S I 1 からのクロック及び出力データを一定のタイミング間隔で取得し、時系列のレベルデータとして出力できる限り、第一実施形態におけるフリップ・フロップ 2 1 a ~ 2 1 n や本実施形態におけるラッチ 2 4 a ~ 2 4 n の他、どのような回路構成であってもよい。

【 0 0 8 7 】

[被測定 L S I のジッタアナライザ]

次に、本発明に係る被測定 L S I のジッタアナライザの実施形態について、図 4 ～図 6 を参照しつつ説明する。

〔第一実施形態〕

以下、図 4 及び図 5 を参照して、本発明に係る被測定 L S I のジッタアナライザの第一実施形態について説明する。

図 4 は、本発明に係る被測定 L S I のジッタアナライザの第一実施形態の構成を示すブロック図である。

図 4 に示すように、本実施形態に係る被測定 L S I のジッタアナライザは、図 1 に示した被測定 L S I の試験装置における L S I テスタ 1 0 とほぼ同様の構成となっている。

ただし、本実施形態のジッタアナライザは、図 1 における L S I テスタ 1 0 のセクタ 3 0 及びパターン比較器 1 2 に代えて、記憶回路（メモリ）5 0 と C P U 6 0 を備えている。

また、図 1 の試験装置と異なり、本実施形態では、被測定 L S I 1 のクロック又は出力データのジッタを個別に取得、解析するようになっており、クロックと出力データとを組み合わせる必要はない。従って、L S I テスタ 1 0 には、被測定 L S I 1 からクロック又は出力データのいずれかが入力されればよく、複数の L S I テスタ 1 0 を接続するためのタイムインターポレータ・バス 4 0 （図 1 参照）は備えていない。

その他の構成は、図 1 に示した L S I テスタ 1 0 と同様となっている。

【 0 0 8 8 】

図 4 に示すように、本実施形態のジッタアナライザに備えられる L S I テスタ 1 0 （本発明の第一の L S I テスタ）は、タイムインターポレータ 2 0 から出力される時系列のレベルデータを入力することにより、被測定 L S I 1 から出力されるクロック又は出力データのエッジタイミングを取得して、当該クロック又は出力データのジッタの分布として出力するジッタ分布解析手段を有するソースシンクロナス回路となっている。

具体的には、ジッタ分布解析手段として、L S I テスタ 1 0 のエンコーダ 2 3 から出力されるタイミングデータを記憶する記憶回路 5 0 を備えている。

そして、被測定 L S I 10 から複数のクロック又は出力データを取得することにより、記憶回路 50 に複数のレベルデータを蓄積し、蓄積されたデータから被測定 L S I 1 のクロック又は出力データのエッジタイミングの分布を取得するようになっている。

【0089】

図 5 を参照して、本実施形態に係る被測定 L S I のジッタアナライザの動作について説明する。

図 5 は、本実施形態に係る被測定 L S I のジッタアナライザにおいて被測定 L S I のクロック又は出力データのジッタ分布を取得、解析する場合の説明図である。

まず、図 1 に示した試験装置の場合と同様にして、L S I テスタ 10 のフリップ・フロップ 21 a ~ 21 n 及びエンコーダ 23 を介して、被測定 L S I 1 のクロック（又は出力データ）の信号変化点を示すタイミングデータを取得する。

取得したタイミングデータは、記憶回路 50 に記憶、蓄積される。

このタイミングデータは、例えば 5 ビットのレベルデータとして取得され、図 5 に示すように“01101”、“00111”、“01000”... というように、クロック（又は出力データ）のエッジタイミングを示すものである。

従って、このデータを記憶回路 50 から読み出し、C P U によってソフトウェア処理することにより、例えば図 5 のグラフ図に示すように、クロック又は出力データの分布を示す正確なジッタ・ヒストグラムを得ることができる。

【0090】

このように、本実施形態に係る被測定 L S I のジッタアナライザによれば、本発明に係るソースシンクロナス回路を構成する L S I テスタ 10 を備えることにより、被測定 L S I 1 から出力されるクロック又は出力データの信号変化点（エッジタイミング）を示す時系列のレベルデータを取得することができる。

従って、このクロック又は出力データの信号変化点を示すレベルデータを複数取得、蓄積することにより、ジッタにより変動する各データの信号変化点の分布を解析することが可能となる。

これにより、本実施形態に係るジッタアナライザでは、従来のジッタ測定器を

用いる場合のようなオシロスコープ等の操作による誤差や測定作業の困難性等の問題が生じることなく、容易に精度の高いジッタ解析を行うことができる。

【0091】

特に、本実施形態のジッタアナライザでは、LSIテスト10が記憶回路50を備えているので、エンコーダ23から出力される被測定LSI1のクロック又は出力データの信号変化点を示すタイミングデータを、記憶回路50に複数記憶、蓄積することができる。これにより、記憶回路50に蓄積された複数のタイミングデータを、CPU60でソフトウェア処理することでクロック又は出力データの分布を示すジッタ・ヒストグラムを得る等、任意の方法を用いてタイミングデータを解析処理することができる。

また、LSIテスト10に記憶回路50を備えるだけのジッタアナライザは、複雑化、大型化、高コスト化等することなく簡易な構成とすることができる。

しかも、本実施形態では、クロック用と出力データ用とで、ジッタアナライザを同一の構成としてあるので、本実施形態に係るジッタアナライザを用いて被測定LSIの任意のクロック及び出力データについてジッタ解析を行うことができ、きわめて汎用性の高いジッタアナライザを提供することができる。

【0092】

〔第二実施形態〕

次に、図6を参照して、本発明に係る被測定LSIのジッタアナライザの第二実施形態について説明する。

図6は、本発明に係る被測定LSIのジッタアナライザの第二実施形態の構成を示すブロック図である。

図6に示すように、本実施形態に係る被測定LSIのジッタアナライザは、ジッタ分布解析手段として、図4に示した記憶回路50（及びCPU60）に代えて、デコーダ70及び複数のカウンタ80a～80nを備えるものである。

その他の構成は、図4（又は図1）のLSIテスト10と同様である。

【0093】

図6に示すように、デコーダ70は、エンコーダ23から出力される符号化されたタイミングデータを入力し、時系列のレベルデータに復号化して出力するよ

うになっている。

そして、複数のカウンタ80a～80nでは、デコーダ70の出力信号を出力端子ごとにカウントするようになっている。

このカウンタ80a～80nから出力される複数のデータから、被測定LSI1のクロック又は出力データのエッジタイミングの分布を取得することができるようになっている。

【0094】

具体的には、以下のようにしてクロック又は出力データのエッジタイミングの分布が取得される。

例えば、図2で示した信号と同様に、被測定LSI1から出力されるクロック（又は出力データ）を4ビットのレベルデータとして取得して解析する場合、被測定LSI1から出力されるクロック（又は出力データ）が“L”から“H”になるエッジタイミングが、ビット数“0”の位置からビット数“3”の位置の間で変動することになる。

この信号を本実施形態のLSIテスト10で処理すると、フリップ・フロップ21a～21d、エンコーダ23及びデコーダ70では以下のようにデータが取得される。

【0095】

【表3】

クロック（出力データ） の信号変化点の位置	FF出力 （4ビット）	エンコーダ出力 （2ビット）	デコーダ出力 （4ビット）
“0”	1111	00	0001
“1”	0111	01	0010
“2”	0011	10	0100
“3”	0001	11	1000

【0096】

この表3に示すように、デコーダ70から出力されるデータは、被測定LSI1のクロック（又は出力データ）の信号変化点を示す出力端子だけが“H”とな

り、他の出力端子は“L”となる。

従って、このデコーダ70の出力信号を、複数のカウンタ80a～80nによってデコーダ70の出力端子ごとにカウントすることにより、被測定LSI1のクロック又は出力データのエッジタイミングの分布を取得することができる。

【0097】

以上のように、本実施形態に係る被測定LSIのジッタアナライザによれば、エンコーダ23から出力される被測定LSI1のクロック又は出力データの信号変化点を示すタイミングデータを、デコーダ70で複合化し、このデコーダ70の出力を出力端子ごとにカウンタ80a～80nでカウントすることにより、被測定LSI1の各クロック又は出力データの信号変化点をカウントしてその分布を得ることができる。

【0098】

これにより、例えば、カウンタ80a～80nから出力されるデータを読み込み、そのままグラフ化してクロック又は出力データの分布を示すジッタ・ヒストグラムを得ることができ、データをいったん記憶回路に記憶させた後に解析処理を行う場合よりも、さらに高速なジッタ解析が可能となる。

なお、デコーダ70の出力をカウントするカウンタ80a～80nの個数は、タイムインターポレータ20による時系列のレベルデータの測定可能範囲（分解能）に対応するものであり、具体的には、フリップ・フロップ21a～21n等からなる順序回路の数と同数とすることが好ましい。

【0099】

〔被測定LSIの位相差検出器〕

さらに、本発明に係る被測定LSIの位相差検出器の実施形態について、図7～図9を参照しつつ説明する。

〔第一実施形態〕

以下、図7及び図8を参照して、本発明に係る被測定LSIの位相差検出器の第一実施形態について説明する。

図7は、本発明に係る被測定LSIの位相差検出器の第一実施形態の構成を示すブロック図である。

図7に示すように、本実施形態に係る被測定LSIの位相差検出器は、図1に示した被測定LSIの試験装置におけるLSIテスト10とほぼ同様の構成となっている。

ただし、本実施形態のジッタアナライザは、図1におけるLSIテスト10のセレクタ30及びパターン比較器12に代えて、減算回路90とデコーダ70を備えている。

その他の構成は、図1に示したLSIテスト10と同様となっている。

【0100】

図7に示すように、本実施形態の位相差検出器に備えられるLSIテスト10は、タイムインターポレータ20から出力される時系列のレベルデータを入力することにより、被測定LSI1から出力されるクロック及び出力データのエッジタイミングを取得して、当該クロックと出力データの信号変化点（エッジタイミング）の差を算出して、位相差として出力する位相差検出回路を有するソースシンクロナス回路を構成している。

【0101】

具体的には、LSIテスト10は、減算回路90及びデコーダ70を備えている。

減算回路90は、クロック側及び出力データ側のLSIテスト10の各エンコーダ23から出力される符号化されたレベルデータ（タイミングデータ）を減算する。

また、デコーダ70は、減算回路90の減算結果を復号化することにより、後述するようにタイムインターポレータ20の遅延回路22による遅延量の重みを有する値に変換し、位相差として出力するようになっている。

【0102】

そして、図1に示した試験装置と同様、複数のLSIテスト10を用いて被測定LSI10から任意のクロック及び出力データを取得することにより、減算回路90及びデコーダ70を介して、所望のクロック及び出力データの位相差を検出できるようになっている。

具体的には、図1に示した試験装置と同様、クロック側及び出力データ側のL

S I テスタ 10 (本発明の第一及び第二の L S I テスタ) が、タイムインターポレータ・バス 40 を介して接続されている。

これにより、クロック側又は出力データ側のタイムインターポレータ 20 のエンコーダ 23 で符号化された時系列のレベルデータは、タイムインターポレータ・バス 40 の制御により、出力データ側又はクロック側の減算回路 90 に入力されるようになっている。

【0103】

なお、減算回路 90 (及びデコーダ 70) は、図 1 に示した試験装置におけるセクタ 30 と同様に、出力データ側又はクロック側のいずれか一方の L S I テスタ 10 に備えられるものが使用されればよく、他方の L S I テスタ 10 に備えられる減算回路 90 (及びデコーダ 70) については、使用されなくてよい。

従って、クロック側又は出力データ側の L S I テスタ 10 については、減算回路 90 及びデコーダ 70 は省略することが可能である。

換言すれば、本実施形態に係る位相差検出回路を構成する減算回路 90 及びデコーダ 70 は、クロック側及び出力データ側タイムインターポレータ 20 からの出力信号が入力される限り、クロック側又は出力データ側の L S I テスタ 10 の少なくとも一方に備えられればよい。

【0104】

以下、本実施形態に係る被測定 L S I の位相差検出器の具体的な動作を、図 8 を参照して説明する。

図 8 は、本実施形態に係る被測定 L S I の位相差検出器において被測定 L S I のクロック及び出力データの位相差を取得する動作を示す信号図である。

同図に示す例は、各 L S I テスタ 10 により、被測定 L S I 1 から出力されるクロック及び出力データをビット数“4”のレベルデータとして取得する場合で、1 ビットの重み、すなわち遅延回路 22 による遅延量が、「50 p s」の場合となっている。

まず、図 1 に示した試験装置の場合と同様にして、L S I テスタ 10 のフリップ・フロップ 21 a ~ 21 n 及びエンコーダ 23 を介して、被測定 L S I 1 のクロック及び出力データの信号変化点を示すタイミングデータを取得する。

取得したタイミングデータは、減算回路90で減算処理されるとともに、減算結果がデコーダ70で変換されて出力される。

【0105】

図8(a)に示す場合は、被測定LSI1から出力されるクロックが“L”から“H”になるエッジタイミングがビット数“1”の位置であるのに対し、出力データは“L”から“H”になる信号変化点のタイミングがビット数“0”の位置となっている(同図の太線部分)。

従って、クロック側のエンコーダ23からは、ビット数“1”を示すタイミングデータ(例えば“01”)が出力され、出力データ側のエンコーダ23からは、ビット数“0”を示すタイミングデータ(例えば“00”)のタイミングデータが出力される。

【0106】

そして、このタイミングデータが減算回路90で減算処理されると、

$$“0” - “1” = “-1”$$

となり、クロックと出力データの位相差が“-1”ビットであることが算出される。

本例では、1ビットの重みが“50 p s”であるので、デコーダ70では減算回路90の出力に1ビットの重みを掛け、

$$“-1” * “50” = “-50”$$

と変換される。

この結果、クロックと出力データの位相差“-50 p s”が取得される。

【0107】

一方、図8(b)に示す場合は、被測定LSI1から出力されるクロックが“L”から“H”になるエッジタイミングは、同様にビット数“1”の位置であるのに対し、出力データは“L”から“H”になる信号変化点のタイミングがビット数“3”の位置に変動している(同図の太線部分)。

従って、クロック側のエンコーダ23からは、ビット数“1”を示すタイミングデータ(例えば“01”)が出力され、出力データ側のエンコーダ23からは、ビット数“3”を示すタイミングデータ(例えば“11”)のタイミングデー

タが出力される。

【0108】

そして、このタイミングデータが減算回路90で減算処理されると、

$$“3” - “1” = “2”$$

となり、クロックと出力データの位相差は“2”ビットとなる。

そして、デコーダ70で、1ビットの重み（“50 p s”）を減算回路90の出力に掛け、

$$“2” * “50” = “100”$$

と変換される。

この結果、クロックと出力データの位相差“100 p s”が取得される。

【0109】

以上のように、本実施形態に係る被測定LSIの位相差検出器によれば、本発明に係るソースシンクロナス回路を構成するLSIテスト10を備えることにより、被測定LSI1から出力されるクロック及び出力データの信号変化点（エッジタイミング）を示す時系列のレベルデータを取得することができる。

そして、このクロック及び出力データのエッジタイミングを示すレベルデータを減算回路90及びデコーダ70を用いて減算処理することにより、クロックと出力データの位相差を検出することが可能となる。

これにより、本実施形態では、従来のジッタ測定器を用いることなく、被測定LSIのクロックと出力データの位相差を容易かつ確実に取得、解析することができる。

【0110】

また、本実施形態によれば、クロック側と出力データ側のLSIテスト10とを同一の構成としてあるので、図1に示した試験装置の場合と同様、位相差検出器に備えられる複数のLSIテスト10の任意のチャンネルに、被測定LSI1のクロックや出力データを割り付けることができ、チャンネルの割付け作業を容易かつ効率的に行うことができる。

また、このように任意のチャンネルに被測定LSI1のクロックや出力データを割り付けることができることで、被測定LSI1から複数のクロックや出力デ

ータが出力される場合には、任意の組合せによるクロックと出力データの位相差を取得することができ、あらゆる L S I に対応可能な汎用性、利便性の高い位相差検出器を実現できる。

【0111】

〔第二実施形態〕

次に、図9を参照して、本発明に係る被測定 L S I の位相差検出器の第二実施形態について説明する。

図9は、本発明に係る被測定 L S I の位相差検出器の第二実施形態の構成を示すブロック図である。

図9に示すように、本実施形態に係る被測定 L S I の位相差検出器は、図7に示した位相差検出器に、さらに、デコーダ70の出力信号を出力端子ごとにカウントする複数のカウンタ80a～80nを備え、このカウンタ80a～80nから出力される複数のデータから、被測定 L S I 1 のクロックと出力データの位相差の分布を取得する構成としたものである。

【0112】

被測定 L S I 1 から出力されるクロック及び出力データの位相差を取得する場合、被測定 L S I 1 のクロックと出力データの位相差は、減算回路90の出力結果をデコーダ70で復号化することにより、被測定 L S I 1 のクロックと出力データの位相差を示す出力端子だけを“H”とし、他の出力端子は“L”として出力することができる。

そして、このデコーダ70の出力信号を、複数のカウンタ80a～80nによってデコーダ70の出力端子ごとにカウントすることにより、被測定 L S I 1 のクロックと出力データの位相差の分布を取得することができる。

【0113】

以下、図8に示したデータを例にとって具体的に説明する。

各 L S I テスタ10のタイムインターポレータ20で、四個のフリップ・フロップ21a～21dにより、被測定 L S I 1 から出力されるクロック及び出力データをビット数“4”のレベルデータとして取得すると、クロック及び出力データの信号変化点を示すデータは、クロック側、出力データ側でそれぞれ（0，1

、2、3)の四つのデータが取得される。そして、このクロック及び出力データのレベルデータを減算回路90で減算した場合、減算回路90の出力として取得され得る値は、(-3, -2, -1, 0, 1, 2, 3)の七通りとなり得る。

従って、この七通りの出力結果を出力ビット数“7”のデコーダ70でデコーディングし、デコーダ70の各出力端子のデータを七個のカウンタ80a~80gでカウントすることにより、被測定LSI1のクロックと出力データの位相差の分布を取得することができる。

【0114】

具体的なデータの流れは以下の表4及び表5に示すようになる。

なお、以下の表で、「デコーダ出力」及び「カウンタ出力」は、それぞれ上から下に位相差(-3, -2, -1, 0, 1, 2, 3)に対応している。

【0115】

【表4】

図8(a)に示すデータの場合

	エンコーダ	減算回路出力	位相差	デコーダ出力	カウンタ
クロック側	0 1 ("1")	0 - 1 = - 1	- 3	0	0
			- 2	0	0
			- 1	1	1
出力データ側	0 0 ("0")		0	0	0
			1	0	0
			2	0	0
			3	0	0

【0116】

【表 5】

図 8 (b) に示すデータの場合

	エンコード	減算回路出力	位相差	デコード出力	カウンタ出力
クロック側	0 1 ("1")	3 - 1 = 2	- 3	0	0
			- 2	0	0
			- 1	0	1
出力データ側	1 1 ("3")		0	0	0
			1	0	0
			2	1	1
			3	0	0

【0117】

表 4 及び表 5 に示すように、デコーダ 70 から出力されるデータは、被測定 L S I 1 のクロックと出力データの位相差を示す出力端子だけが“H”となり、他の出力端子は“L”となる。

従って、「カウンタ出力」には、図 8 (a) のデータ及び図 8 (b) のデータを連続して取得した累計が示され、二回のデータ取得の結果、表 5 では、位相差「- 1」が 1 回、位相差「2」が 1 回カウントされた結果が示される。

これにより、デコーダ 70 の出力信号を、複数のカウンタ 80 a ~ 80 n によってデコーダ 70 の出力端子ごとにカウントすることにより、被測定 L S I 1 のクロックと出力データの位相差の分布を取得することができる。

【0118】

以上のように、本実施形態に係る被測定 L S I の位相差検出器によれば、被測定 L S I 1 のクロックと出力データの位相差を示すデコーダ 70 の出力を出力端子ごとにカウンタ 80 a ~ 80 n でカウントすることができる。

そして、被測定 L S I 1 のクロックと出力データを複数取得することにより、クロックと出力データの位相差の分布を容易かつ正確に得ることができる。

これにより、例えば、カウンタ 80 a ~ 80 n から出力されるデータを読み込

んでグラフ化することで、クロックと出力データの位相差の分布を示すヒストグラムを容易に得ることができる。

【0119】

なお、本発明の被測定LSIの試験装置、ジッタアナライザ及び位相差検出器は、上述した実施形態にのみ限定されるものではなく、本発明の範囲で種々の変更実施が可能であることは言うまでもない。

【0120】

【発明の効果】

以上説明したように、本発明の被測定LSIの試験装置によれば、被測定LSIから出力されるクロック及び出力データを時系列のレベルデータとして出力するソースシンクロナス回路を備えることにより、被測定LSIの出力データを取得するタイミング信号として、当該被測定LSIから出力されるクロック信号を用いることができ、出力データをジッタに同調した信号変化点で取り込むことが可能となる。

これにより、被測定LSIの出力データのジッタに左右されることなく、正確な試験結果を得ることができ、例えばデータレートが1GHzを超える高速LSIの機能試験に好適な被測定LSIの試験装置を実現することができる。

【0121】

また、本発明ジッタアナライザ及び位相差検出器によれば、被測定LSIのクロック及び出力データを示す時系列のレベルデータを出力するソースシンクロナス回路を用いることによって、被測定LSIのジッタ解析及びジッタによるクロックと出力データの位相差の検出を、煩雑な操作や誤差等が生じることなく、容易かつ確実に行えるようになる。

【図面の簡単な説明】

【図1】

本発明に係る被測定LSIの試験装置の第一実施形態の構成を示すブロック図である。

【図2】

本発明に係る被測定LSIの試験装置の第一実施形態における被測定LSIの

クロックのエッジタイミングで出力データを取得する動作を示す信号図である。

【図 3】

本発明に係る被測定 L S I の試験装置の第二実施形態の構成を示すブロック図である。

【図 4】

本発明に係る被測定 L S I のジッタアナライザの第一実施形態の構成を示すブロック図である。

【図 5】

本発明に係る被測定 L S I のジッタアナライザの第一実施形態において被測定 L S I のクロック又は出力データのジッタ分布を取得、解析する場合の説明図である。

【図 6】

本発明に係る被測定 L S I のジッタアナライザの第二実施形態の構成を示すブロック図である。

【図 7】

本発明に係る被測定 L S I の位相差検出器の第一実施形態の構成を示すブロック図である。

【図 8】

本発明に係る被測定 L S I の位相差検出器の第一実施形態において被測定 L S I のクロック及び出力データの位相差を取得する動作を示す信号図である。

【図 9】

本発明に係る被測定 L S I の位相差検出器の第二実施形態の構成を示すブロック図である。

【図 1 0】

従来の被測定 L S I の試験装置の構成を示すブロック図である。

【図 1 1】

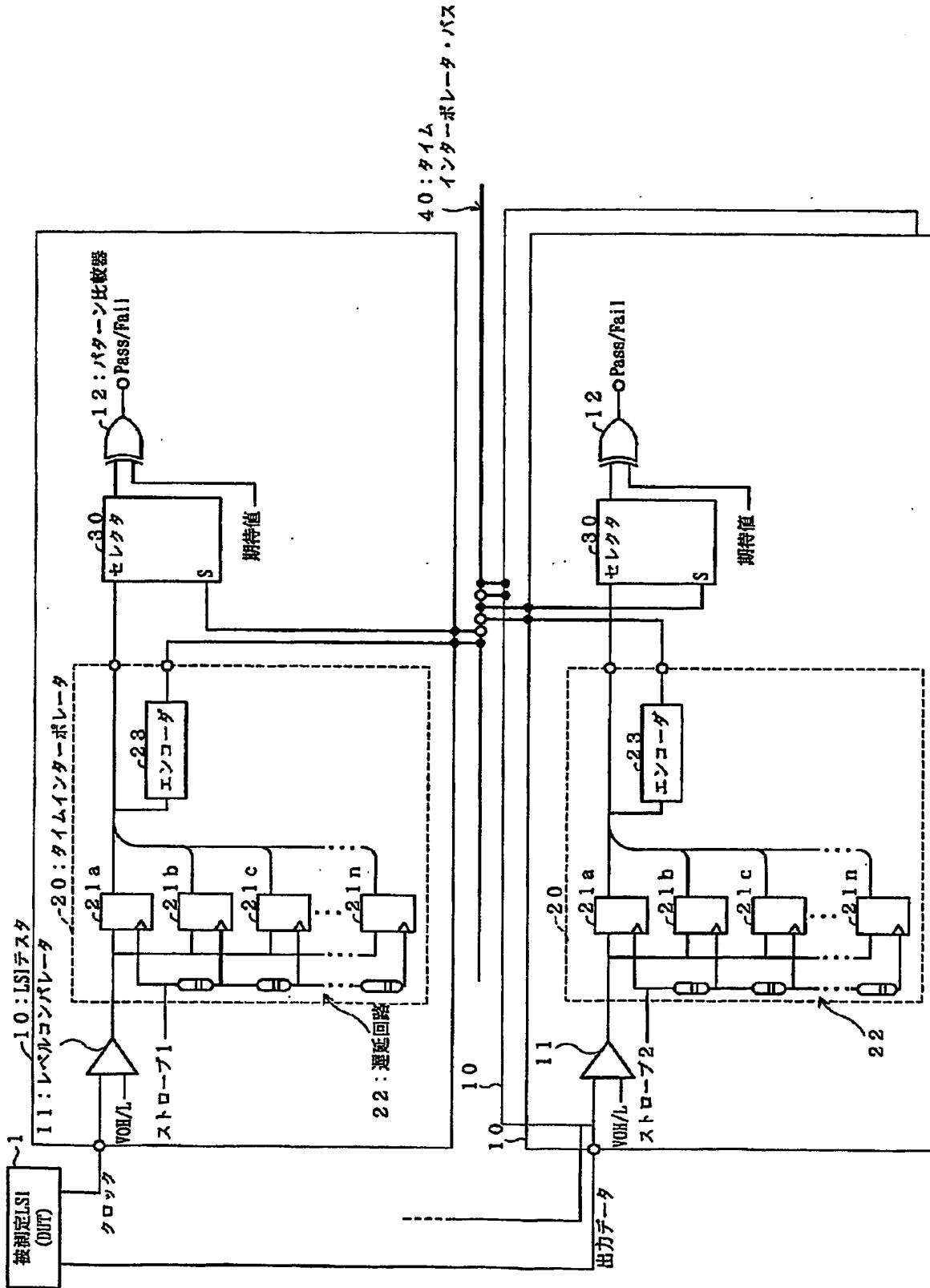
従来の被測定 L S I の試験装置における被測定 L S I の出力データを示す信号図であり、（a）は出力データのジッタを、（b）はジッタにより取得データにエラーが発生する状態を示している。

【符号の説明】

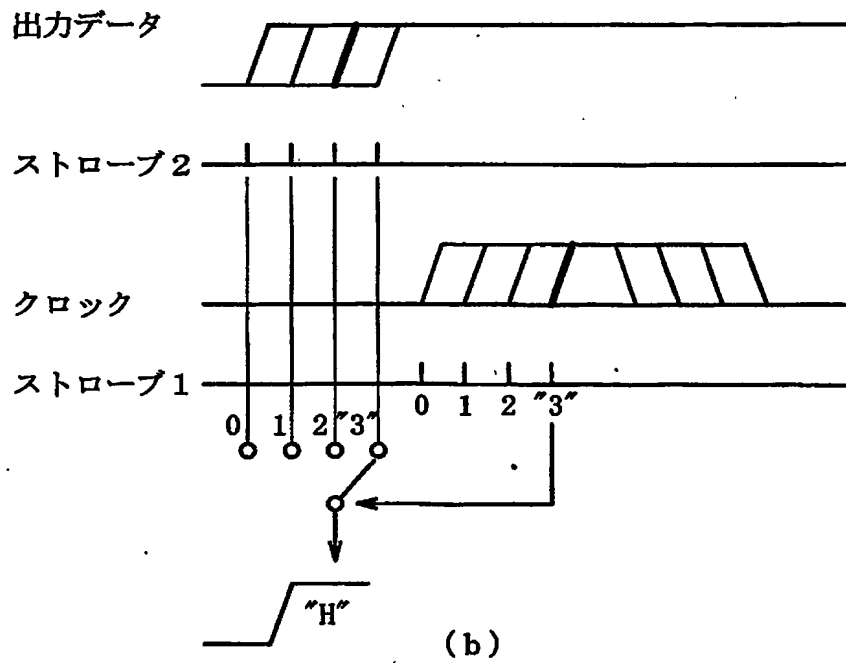
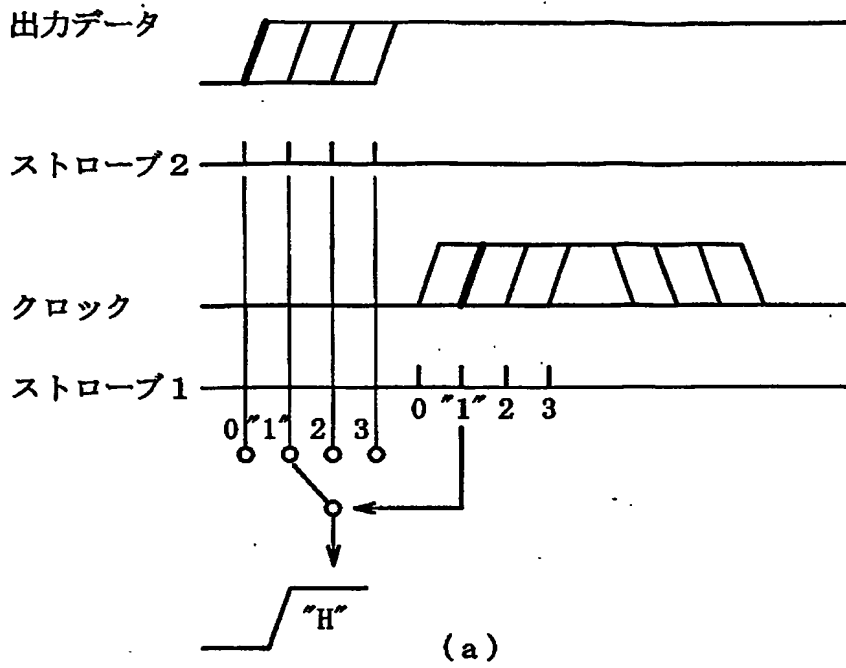
- 1 被測定 L S I
- 10 L S I テスタ
- 11 レベルコンパレータ
- 12 パターン比較器
- 20 タイムインターポレータ
- 21 (21 a ~ 21 n) フリップ・フロップ
- 22 遅延回路
- 23 エンコーダ
- 24 (24 a ~ 24 n) ラッチ
- 30 セレクタ
- 40 タイムインターポレータ・バス
- 50 記憶回路 (メモリ)
- 60 C P U
- 70 デコーダ
- 80 (80 a ~ 80 n) カウンタ
- 90 減算回路
- 101 被測定 L S I
- 110 (従来の) L S I テスタ
- 111 レベルコンパレータ
- 112 パターン比較器
- 121 フリップ・フロップ

【書類名】 図面

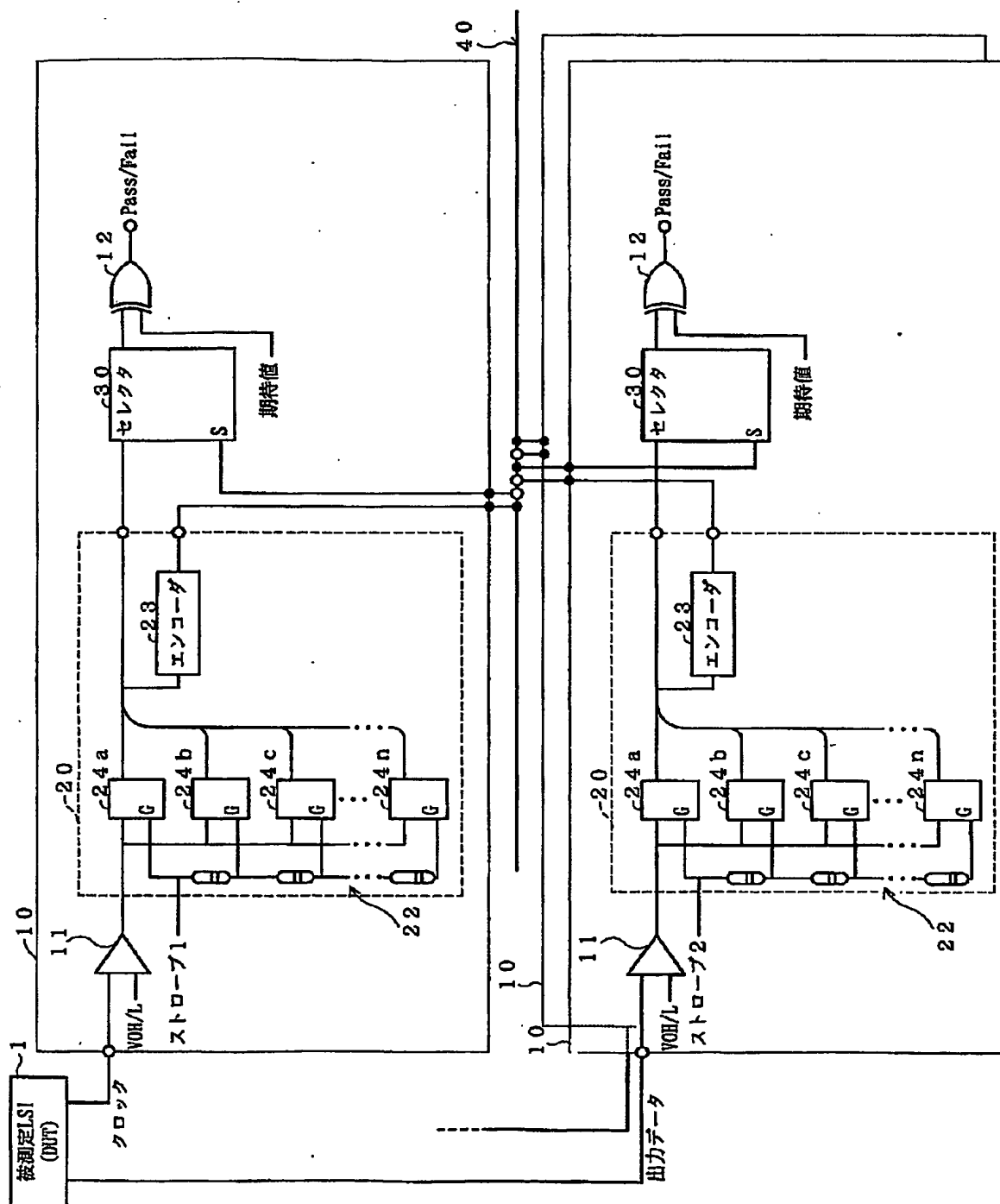
【図1】



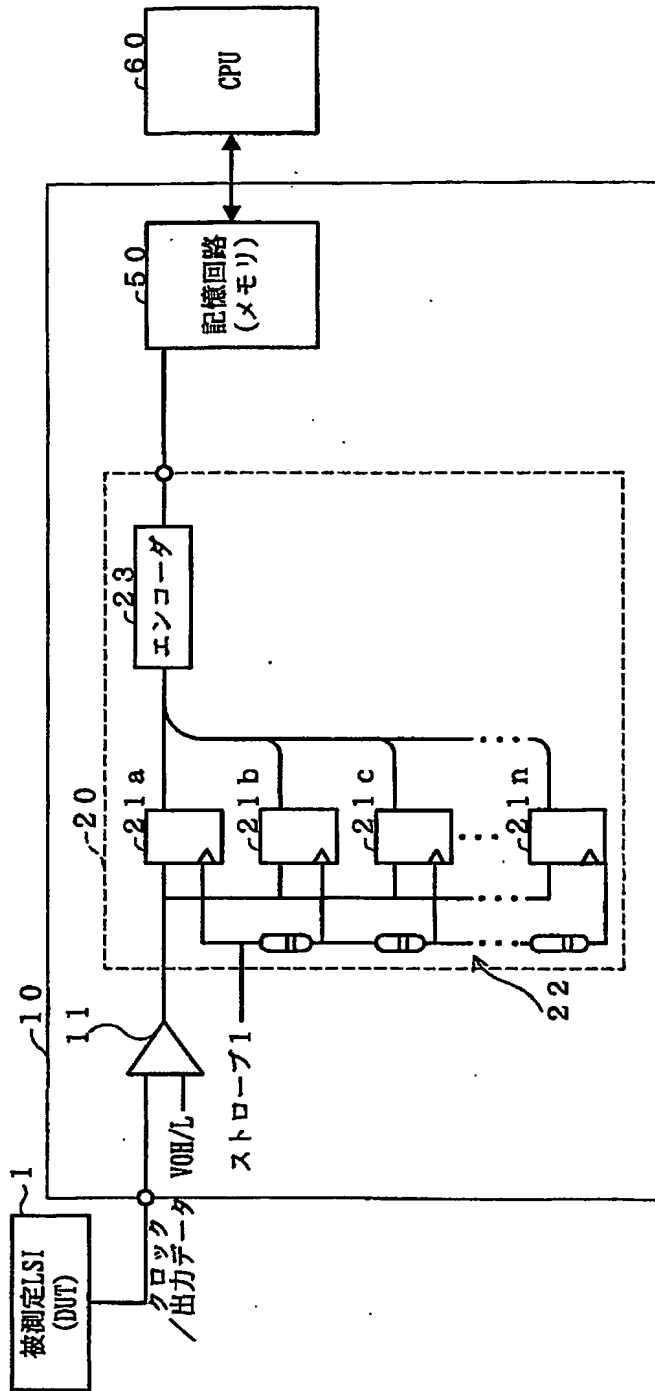
【図2】



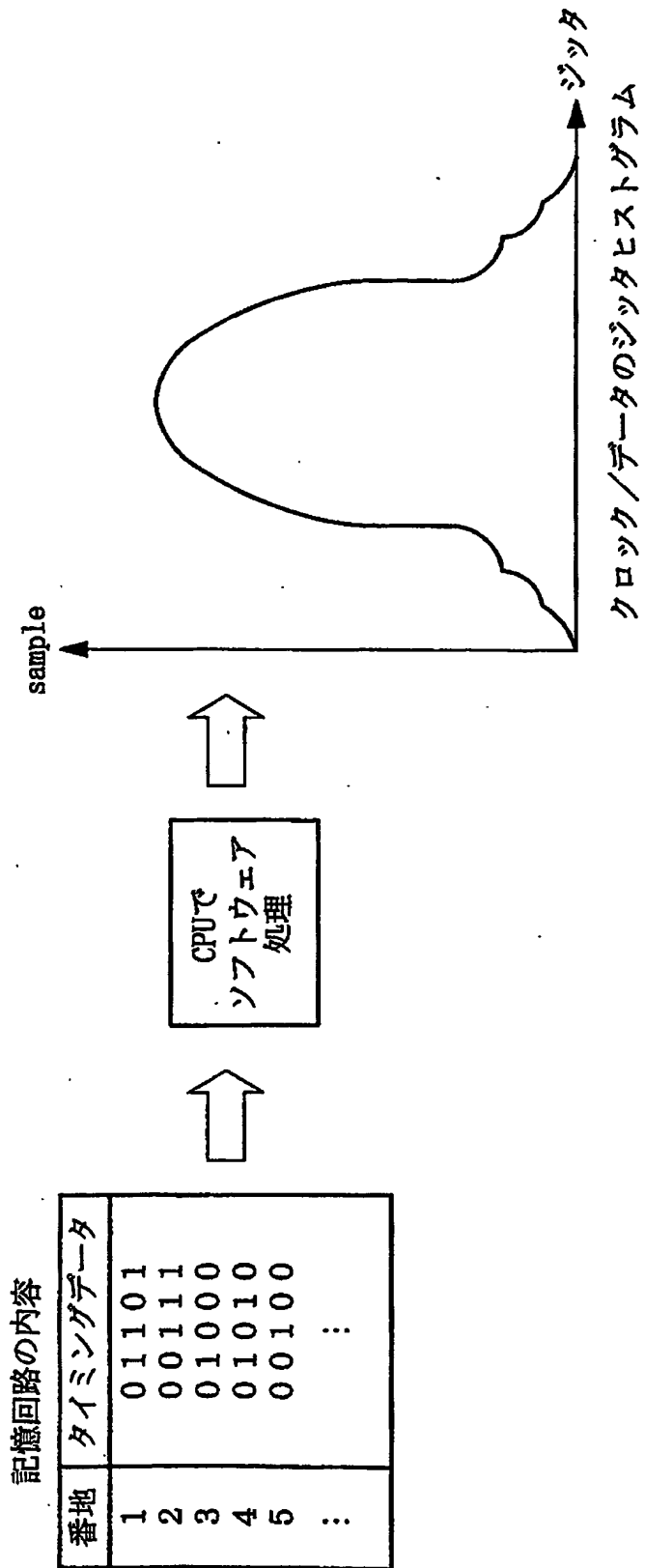
【図3】



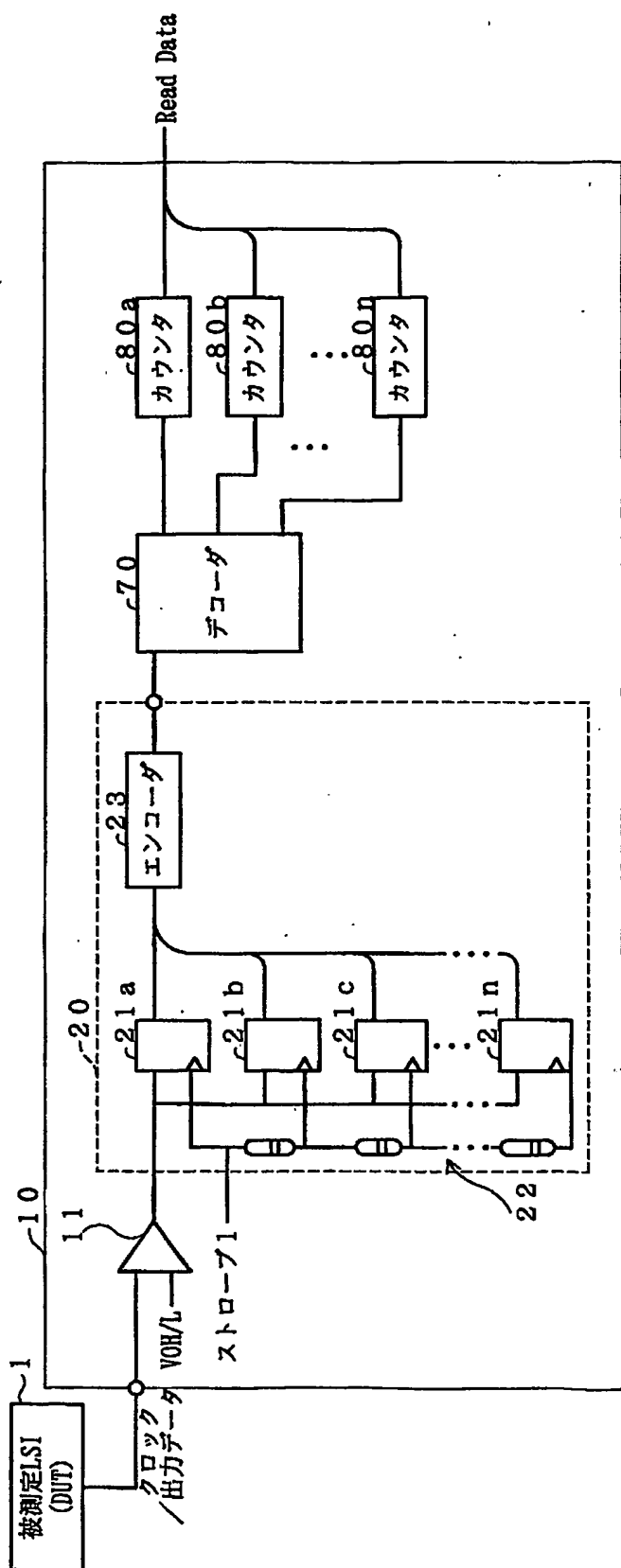
【図4】



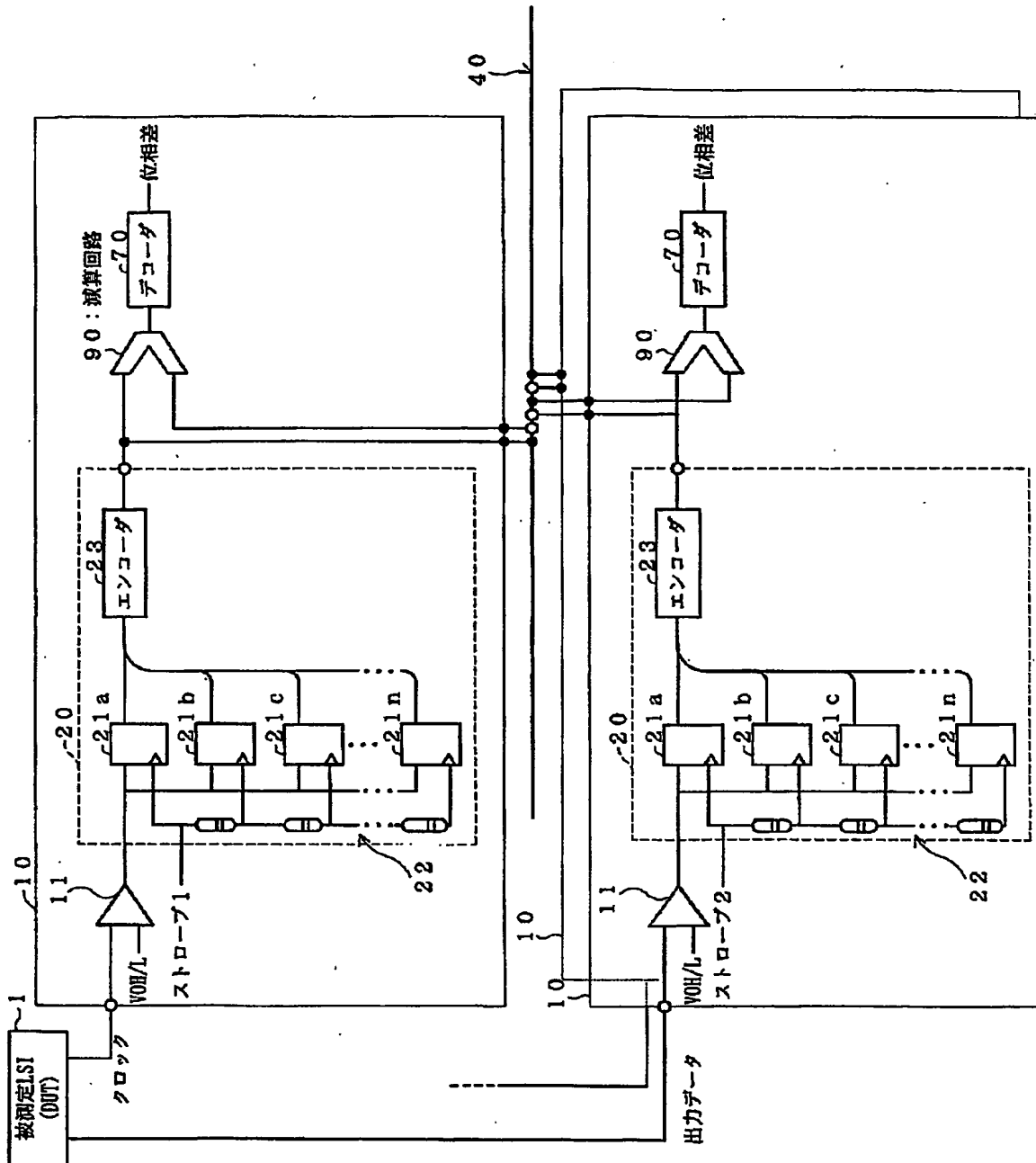
【図5】



【図6】

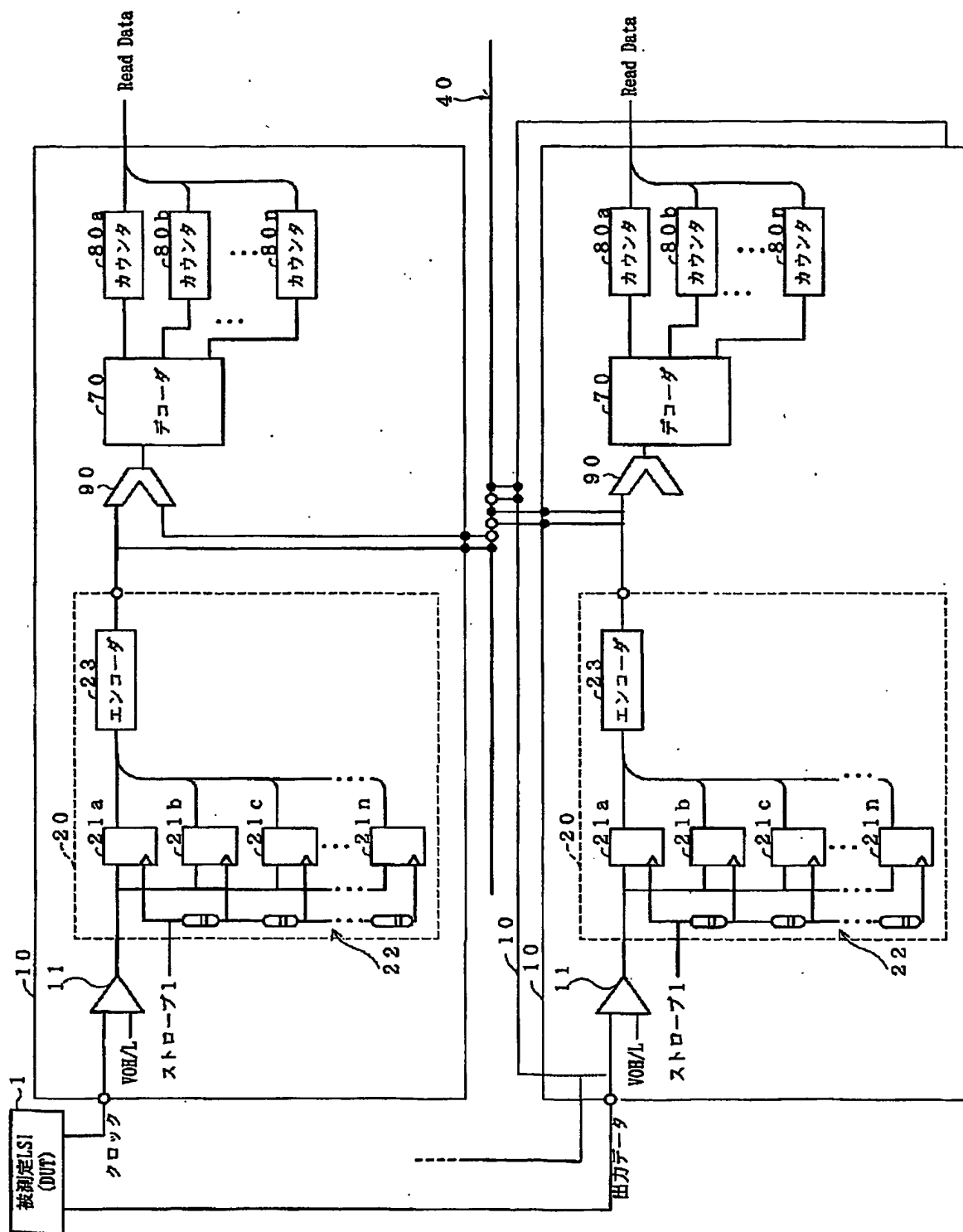


【図 7】

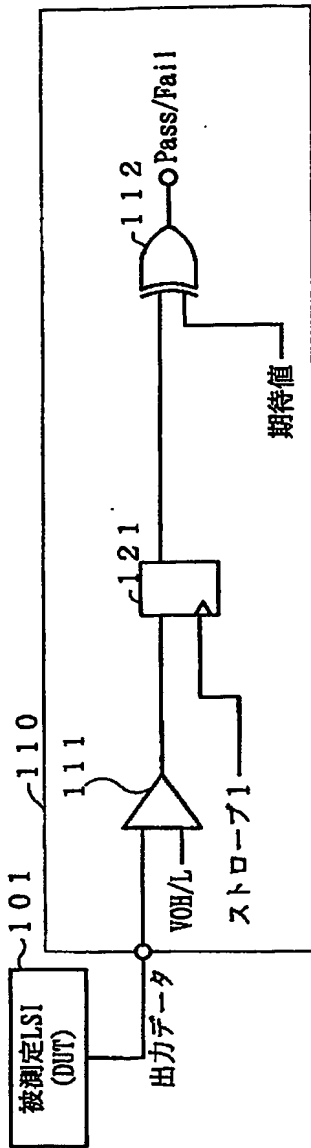




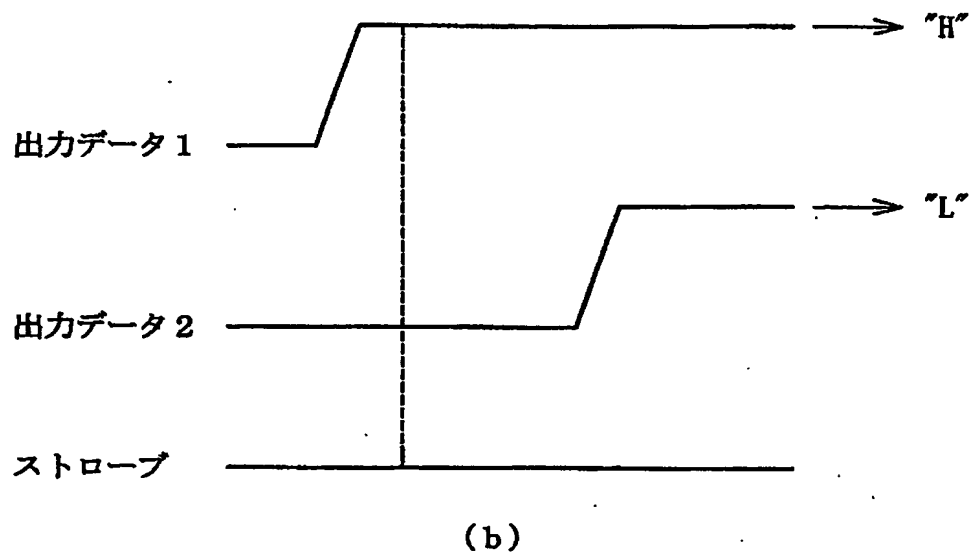
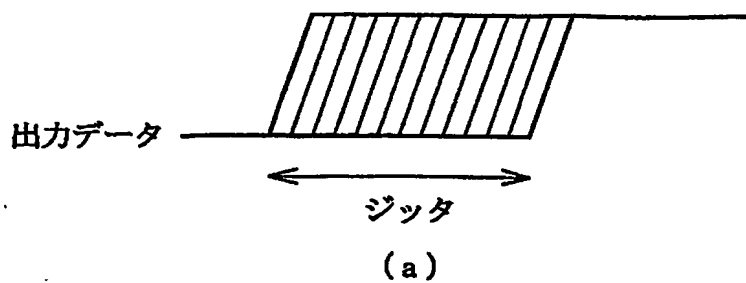
【図 9】



【図10】



【図 11】



【書類名】 要約書

【要約】

【課題】 被測定 L S I の出力データを被測定 L S I から出力されるクロック信号によって取得し、ジッタのある出力データに同調して測定データを取り込む。

【解決手段】 被測定 L S I 1 の出力データを所定の期待値データと比較して良否を判定する L S I テスタ 1 0 が、被測定 L S I 1 から出力されるクロックを一定のタイミング間隔を有する複数のストロープによって取得し、符号化された時系列のレベルデータとして出力するクロック側タイムインターポレータ 2 0 と、被測定 L S I 1 から出力される出力データを一定のタイミング間隔を有する複数のストロープによって取得して時系列のレベルデータとして出力するデータ側タイムインターポレータ 2 0 と、両タイムインターポレータ 2 0 からのレベルデータを入力し、クロックのエッジタイミングで出力データを選択して被測定データとして出力するセクタ 3 0 と、を有するソースシンクロナス回路を備える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[390005175]

1. 変更年月日	1990年10月15日
[変更理由]	新規登録
住 所	東京都練馬区旭町1丁目32番1号
氏 名	株式会社アドバンテスト